



2023 SiC반도체 컨퍼런스

SiC Semiconductor
Conference

발표논문 초록 Paper Abstracts

- 아래의 초청 강연은 저자의 요청으로 초록 비공개로 진행합니다.

차세대 화합물 전력반도체 고도화 기술개발
구용서/단국대학교

Revisiting the Stacking Faults in 4H-SiC Epilayers and Their Characterizations by Wafer-Level PL Mapping and HAADF STEM

홍순구^a
Soon-Ku Hong^a

충남대학교

Abstract:

Recently silicon carbide (SiC) is one of the hottest semiconductor materials because carbon neutrality and efforts for reducing greenhouse gas emissions. These global aims make not only the environmental campaigns but also new regularities in worldwide trading. Currently energy and semiconductor are the issue-making common words, which we can hear in every single day, and SiC is just that one for energy efficient power semiconductor devices because of its superior properties and mature industrial technology.

However, SiC is not the perfect material and has several kinds of imperfections as like our lives. The most common imperfections in 4H-SiC epilayers are dislocations and stacking faults (almost of current SiC devices are being fabricated using 4H-SiC epilayers). The so-called killing defects like carrot and triangular defects are macroscopic defects but directly related to microscopic defects of dislocations and stacking faults. Therefore, in order to understand defects in SiC epilayers, which deteriorate device performances, we need knowledge and insight into dislocations and stacking faults in 4H-SiC epilayers.

Dislocations are not limited to the 4H-SiC epilayers but also easily observed as main defect in the PVT grown 4H-SiC single crystal bulk (substrate), and familiar with and (hopefully) well understood to researchers in SiC society. Therefore, today's talk is focusing on stacking faults in 4H-SiC epilayers.

Stacking faults in SiC epilayers have been studied more than 20 years by using several characterization techniques including topography, TEM, and photoluminescence (PL). Among these characterization methods, approaching by PL is quite useful because we identify and categorize the stacking faults based on PL wavelength from each stacking fault. However, problems in PL analysis of stacking faults are confusing and inaccurate reports among pioneering results from leading research groups.

In this presentation, basic characteristics of stacking faults in 4H-SiC including 4 kinds of Shockley-type and 3 kinds of Frank-type stacking faults will be revisited. And then, experimental results from wafer-level PL mapping and HAADF HR-STEM will be addressed to give more insight into the stacking faults in 4H-SiC epilayers.

Keywords:

SiC,
Stacking fault,
Photoluminescence,
TEM

a. Corresponding Author : soonku@cnu.ac.kr

윤상원^a
Sang Won Yoon^a

한양대학교

Abstract:

파워모듈은 전력반도체의 패키징 방법 가운데 하나로서 높은 수준의 신뢰성을 요구하는 응용분야에서 특히 중요하다. 따라서, 시스템의 성능과 신뢰성을 동시에 확보할 수 있는 파워모듈 기술이 필요하며 또한 패키징 대상인 전력반도체에 최적화하여 반도체 특성을 보전해주어야 한다. 그러나 패키징 과정에서 전기적 기생성분에 의한 스위칭 파형의 변동, 여러 재료가 적용되는 과정에서 열 및 응력의 발생 등 다양한 문제가 발생하고 있고 이에 대한 적극적인 대응이 필요하다. 특히, 최근 SiC를 포함한 새로운 전력반도체가 대두되면서 소자 단위의 고속 스위칭과 소형화 등 급격한 변화가 일어나고 있으니 이에 적합한 파워모듈 기술이 필요한 상황이다. 이 발표에서는 파워모듈 패키지의 개념을 소개하고, xEV 등 주요 응용분야에 사용되었을 때 이슈들을 언급하고, 나아가 SiC용 파워모듈에 대해 설명하고자 한다.

Keywords:

SiC,
파워모듈,
xEV

a. Corresponding Author ; swyoon@hanyang.ac.kr

A Study on 150 mm 4H-SiC Bulk Single Crystal Growth Using Recycled Powder

여임균^a, 이재윤, 전명철

Im Gyu Yeo^a, Jae Yoon Lee, Myong Chuel Chun

(재)포항산업과학연구원

Abstract:

One of the main policies is to reduce the amount of waste generated in accordance with the government's carbon neutral policy. In the semiconductor process, SiC by-products such as focus rings are not recycled due to contamination problems, but when re-cycling such by-products, it is possible to secure price competitiveness while maintain ultra-high purity characteristics. In our previous study, the possibility of growing 100 mm 4H-SiC single crystals was confirmed by applying recycled SiC powder, and grown crystals were measured as commercial levels quality.

In this study, the applicability of 150 mm 4H-SiC single crystal growth using the recycled SiC powder was confirmed, and the effect of the recycled powder on the quality was investigated through the analysis of the grown single crystal. The basic physical properties such as particle size, shape, composition, and impurities of the recycled powder were analyzed, and sublimation behavior that could occur inside the reactor was predicted using these. The grown single crystal ingot was 4H-SiC, and no macro defects were observed with the naked eye. In addition, the analysis results of micro defects such as micro-pipe, dislocations and stacking faults will be discussed.

Keywords:

Silicon Carbide,
Single Crystal,
Sublimation,
Recycled powder,
Substrate

a. Corresponding Author ; igy eo@rist.re.kr

SiC 전력반도체 소자의 우주방사선 영향 평가

윤영준^{1a}, 서재화², 방욱², 문정현², 강인호², 김형우², 김유미¹, 황용석¹
 Young Jun Yoon^{1a}, Jae Hwa Seo², Wook Bahng², Jeong Hyun Moon², In Ho Kang²,
 Hyoung Woo Kim², Yu-Mi Kim¹, Yong Seok Hwang¹

¹한국원자력연구원 ²한국전기연구원

Abstract:

전력반도체 소자는 기존 Si 전력반도체 소자 대비 우수한 물성(절연파괴전계-Si의 약 10배, 열전도도-Si의 약 3배)을 가지며 전기차동차, 친환경 전력시스템 등 차세대 전력 분야에서 주목받고 있다. 전력반도체는 인간의 생명과도 연계되는 분야에서도 활용되어 전력반도체의 신뢰성이 상당히 중요하다. 특히, 우주항공 분야에서 활용되는 전력반도체 회로 및 시스템은 우주환경 영향에 대한 신뢰성이 고려되므로 우주항공용 회로 설계시 소자의 우주방사선 영향 모델을 요구된다. 전력반도체 소자에 우주방사선이 충돌하여 발생하는 손상 메커니즘 중 하나인 SEE(Single Event Effect: 단일사건 효과)의 경우, 에너지를 가지는 입자가 단위 소자에 입사하여 발생하는 전자 정공 쌍이 회로에 펄스를 발생 시킴에 따라 과도한 전류가 흐르는 상태가 발생하여 소자 또는 회로가 영구적으로 파괴되기도 한다. 그리하여 NASA를 비롯한 해외 기관과 기업에서는 전력반도체 소자에 대한 우주방사선 영향의 심각성을 파악하고 신뢰성 평가를 수행하고 있다. 본 연구에서는 고에너지 양성자가속기를 이용한 SiC 전력반도체 소자의 우주방사선 모사 실험을 수행하였으며, 전기적 측정을 통하여 우주방사선 영향에 대한 결과를 분석하였다. 100 MeV 양성자의 조사량이 증가할수록 SiC MOSFET의 문턱전압이 점차 작아지는 total ionizing dose 영향을 확인하였다. 추가 실험 및 분석을 통하여 우주방사선 영향에 대한 SiC MOSFET 신뢰성을 평가할 계획이다.

Keywords:

실리콘카바이드,
 전력반도체,
 우주방사선,
 신뢰성,
 양성자

a. Corresponding Author ; yjyoon@kaeri.re.kr

Gate Ringing and Dynamic capacitance of SiC MOSFETs

이연주, 강혜민^a
Yeonju Lee, Hyemin Kang^a

한국에너지공과대학

Abstract:

SiC MOSFET is one of the representative devices in power semiconductors with high switching frequency and low switching energy loss. However, gate ringing is one of the factors that limit the switching frequency and ruggedness of SiC MOSFET, despite its strengths [1]. The cause and mechanism of gate ringing with respect to operating current and temperature are still unclear [2]. This study investigated the trends in gate ringing and dynamic capacitance with respect to drain current density and temperature.

Experimental and simulation studies were conducted on a commercially available 1,200 V SiC MOSFET to confirm the trend. Inductive double pulse tests were conducted at 5 A, 15 A, and 25 A currents and 300 K (RT), 373 K (100°C), and 423 K (150°C) temperatures. Simulations were also conducted under the same conditions to clearly identify the observed trends in the experimental data.

The results showed that gate ringing becomes more severe with higher operating current and lower temperature. A larger plateau voltage during turn-off with higher current and lower temperature allows for faster channel shut down, resulting in a larger dI_S/dt value, which is expected to be a cause of increased gate ringing [3].

In addition, gate-to-drain dynamic capacitance (CGD•dynamic) can be used to observe the trend in capacitance value that varies with current and temperature, considering the actual device operation status, unlike small signal gate-to-drain capacitance (C_{rss}). The depletion region is formed by the potential difference, and thus the condition (current density and temperature) at the same drain-to-source voltage (VDS) affects the capacitance. As the current density increases, the depletion region becomes smaller, resulting in a larger CGD•dynamic, while the CGD•dynamic decreases with increasing temperature due to the larger depletion region.

Keywords:

SiC,
MOSFET,
Gate Ringing,
Capacitance

a. Corresponding Author ; h.kang@kentech.ac.kr

멀티에피를 활용한 1,700 V P-shielding Trench Gate MOSFET 성능 개선

경신수^a, 남태진, 전준혁, 김대희, 강태영
 Sinsu Kyoung^a, Taejin Nam, Jun-Hyeok Jeon, Dae-Hui Kim, Tai-Young Kang

파워큐브세미(주)

Abstract:

전력기기에서 동일 전력용량에서 전류를 줄여 효율을 높이기 위해 1,700 V급의 SiC MOSFET이 전력기기의 효율화를 위해 많이 도입되고 있다. 더불어 SiC MOSFET의 높은 가격을 개선하기 위해 $R_{on,sp}$ 를 개선하는 방향으로 Trench Gate MOSFET(T-MOS)이 제안되고 상용화되고 있다 [1]. 제안되고 있는 트렌치 게이트 MOSFET 모두 트렌치 게이트 하부에 인가되는 전계 집중을 해결하기 위해 여러가지 방식의 전계 집중 완화 구조를 제안하고 있는데, 그 중 트렌치 게이트 하부를 P-shielding 영역으로 완전히 보호하는 P-shielding T-MOS가 개발되었다 [2]. 그러나, P-shielding T-MOS는 전계 완화를 위해 P-shielding 영역에서 저항을 발생시켜 $R_{on,sp}$ 측면에서 좋지 않은 효과를 보인다.

본 논문에서는 이를 극복하기 위해 P-base와 P-shielding 사이의 JFET 영역의 농도를 증가시키기 위해 Multi-Epi 공정을 적용한 P-Shielding T-MOS를 설계하고, 특성을 검증하였다. 설계된 1,700 V Shielding T-MOS는 22 um Epi 두께와 2.5 um 트렌치 게이트 깊이, 0.5 um P-Body 접합 깊이, P-Shielding과 P-body 사이의 거리 2 um, JFET 영역 농도는 각각 $2E15cm^{-3}$, $1E17cm^{-3}$ 의 파라미터를 가지도록 하였다. 이를 바탕으로 제작된 1,700 V SiC P-Shielding T-MOS는 JFET 농도에 따라 항복전압 평균 2,100V 수준으로 변화가 없었으며, V_{th} 경우 각각 평균 5.1V, 4.4V로 온저항이 각각 평균 172 m Ω , 53 m Ω 수준으로 V_{th} 가 감소하고, 온저항이 낮아짐을 확인하였다. 또한 $V_{DS}-I_{DS}$ 커브 확인시 Multi-Epi를 미 적용시 Knee Voltage 현상이 확인되었으나, Multi-Epi 적용시 Knee Voltage가 확인되지 않았다. AC 특성에 있어서도 Multi-Epi가 적용된 경우 좀 더 안정적인 AC 특성이 측정됨을 확인할 수 있었다.

본 논문의 결과로 Multi-Epi를 사용하여 JFET 농도를 개선시켜 좀 더 향상된 $R_{on,sp}$ 를 가지면서 1,700 V의 고전압을 견딜 수있는 새로운 형태의 SiC P-Shielding T-MOS를 구현할 수 있음을 확인하였다.

Keywords:

SiC,
 Trench Gate,
 P-shielding,
 Multi-Epi,
 $R_{on,sp}$

a. Corresponding Author ; sskyoung@powercubesemi.com

접촉각을 활용한 SiC단결정의 표면특성 정량분석 연구: 결정다형, 극성면, 자연산화막 및 표면 가공상태 의존성

김정곤¹, 김대성², 박진용², 김우연², 장연숙², 이원재², 유우식^{1a}
 Jung Gon Kim¹, Dae Sung Kim², Jin Yong Park², Woo Yeon Kim², Yeon Suk Jang²,
 Won Jae Lee², Woo Sik Yoo^{1a}

¹WaferMasters, Inc. ²동의대학교

Abstract:

SiC는 Si원자와 C원자 각각의 최외각전자를 공유하는 강한 공유결합성 물질인 동시에 극성반도체로 (0001)의 Si면과 (000-1)의 C면의 두 가지 극성면이 존재한다. SiC 단결정은 대표적으로 결정 성장축과 평행한 육방정(hexagonal, H) 및 능면정(rhombohedral, R)의 Si-C원자쌍 배열을 가지는 Alpha-SiC와 입방정(cubic, C)의 Si-C원자쌍 배열을 가지는 Beta-SiC로 나뉜다. 이러한 SiC 단결정은 결정다형에 따라 전기적/물리적 특성이 다르게 나타나며 육안으로 확인되는 결보기 색상 또한 달라지게 된다.

DI water는 다른 액체와 비교해 높은 표면장력을 가지는 극성 물질이다. DI water 물방울이 SiC 표면의 Si-C 원자의 배열과 상호작용하게 되며 DI water 물방울의 표면장력이 SiC접촉면의 표면에너지와 상호작용한 결과가 접촉각으로 나타난다. 접촉각은 SiC단결정 기판의 표면 거칠기, 불순물 유형 및 농도, 표면 극성, 결정 다형, 결정면 및 결함의 밀도/유형 등에 의해 영향을 받게 된다. 이전 연구에서는 Alpha-SiC의 단결정기판에 대해 DI Water 물방울을 이용한 접촉각 측정 후 이미지 분석 소프트웨어(PicMan, WaferMasters, Inc.)를 통해 다양한 수치정보를 취득하여 빠른 면극성 판별방법을 제안하였고 표면처리를 통해 자연 산화막을 제거한 후 시간변화에 따른 접촉각의 변화를 추적하였다. SiC 단결정 기판의 극성에 따른 표면에너지 차이에 의해 C면 보다 Si면의 평균접촉각이 큰 경향을 보였다 [1-3]. 또한 SiC 표면의 평균 거칠기 값(Ra)이 낮아질수록 접촉각은 점차 증가하는 것을 확인하였다 [4]. 또한 SiC 단결정 기판 결정다형과 캐리어 농도를 색상정보를 통해 정량화하고 상관관계를 구하였다 [5].

본 연구에서는 Beta-SiC로 대표되는 3C-SiC 단결정 기판을 2종을 준비하였다. 3C-SiC 단결정 기판의 극성과 표면 산화막의 영향을 DI Water 물방울을 이용한 접촉각을 측정 통해 조사하였다. 그 결과 Alpha-SiC의 표면특성과 동일하게 3C-SiC 단결정 기판의 C면 보다 Si면의 평균 접촉각이 큰 경향을 보였다. 최종적으로는 SiC단결정 기판의 결정다형에 따른 극성별 표면 포텐셜 에너지의 상관관계를 실험적으로 도출할 수 있었다.

SiC 소자제작은 기판 표면 근처에서 실시되기 때문에 표면 물성을 이해하고 제어하는 것이 매우 중요하다. SiC 단결정의 극성, 다형 및 표면 거칠기 조건에 따른 접촉각의 명확한 의존성은 SiC 소자제작 단계에 이상을 감지하고 품질을 컨트롤하고 보장하기 위해 SiC 단결정 기판의 표면 특성을 모니터링 하는 것이 중요하다는 것을 시사하고 있다.

Keywords:

SiC,
 Contact Angle,
 Surface Property,
 Polytype,
 Polarity

a. Corresponding Author ; woosik.yoo@wafermasters.com

전력반도체 및 양자응용을 위한 다이아몬드 단결정 반도체 기술

남옥현^{1a}, 유근호¹, 최의호¹, 곽태명¹, 김성우², 정성민³, 오상원⁴, 한상욱⁵
 Okhyun Nam^{1a}, Geunho Yoo¹, Uiho Choi¹, Taemyoung Kwak¹, Seongwoo Kim²,
 Seongmin Jeong³, Sangwon Oh⁴, Sangwook Han⁵

¹한국공학대학교 ²Orbray Co. Japan ³한국세라믹기술원 ⁴한국표준과학연구원 ⁵한국과학기술연구원

Abstract:

다이아몬드 소재는 지금까지 절삭 및 내마모공구, 광학원도우, 방열용도로 활용되어 왔다. 이외에도 다이아몬드는 미래 반도체 및 양자응용을 위한 소재로서 매우 우수한 물성을 가지기 때문에 다이아몬드 소재 및 소자에 대한 연구가 활발히 진행되고 있다. 단결정 다이아몬드는 높은 전자 및 정공 이동도(e : $4800 \text{ cm}^2/\text{Vs}$, h : $2,000 \text{ cm}^2/\text{Vs}$), 높은 절연파괴강도(10 MV/cm), 매우 우수한 열전도도 ($2,200 \text{ W/mK}$) 를 가지고 있다. 이러한 우수한 물성으로 인하여 파워성능지수 및 고주파성능지수 (Beliga FOM: $50,000$, Johnson FOM: $1,340$)가 높아 미래 초고전력/초고주파 반도체소자 응용을 위한 연구가 활발히 이뤄지고 있다. 또한, 다이아몬드는 탄소원자의 Sp^3 결합으로 이뤄져 있어 높은 디바이온도, 낮은 스핀-궤도 상호작용으로 인해 다이아몬드의 NV센터는 상온에서도 안정한 양자 특성 가질 수 있으며, 이를 이용한 양자응용 연구가 매우 활발히 수행되고 있다.

그러나 현재까지 대부분의 다이아몬드 응용을 위한 연구는 고압고온(HPHT) 방법으로 성장한 다이아몬드 기판 또는 HPHT 다이아몬드 위에 마이크로웨이브 플라즈마 화학기상증착법(MPCVD)을 이용하여 성장한 다이아몬드 기판을 이용하여 도핑 및 소자연구 결과가 발표되었다. 이러한 기존의 방법은 크기가 작고 가격이 높아 상용화에 큰 어려움이 존재한다. 고품질 대구경 단결정 다이아몬드 기반의 전력소자 및 양자기술의 상용화를 위한 방법으로 다이아몬드 단결정 이종성장 기술이 현재까지 연구 초기 단계이나 매우 가능성이 높은 기술로 꼽히며, 이와 동시에 이종성장 다이아몬드 기반의 반도체 및 양자응용 연구는 다이아몬드 기술의 상용화 가능성을 검증하기 위한 중요한 과제이다.

본 발표에서는 미래의 양자기술과 반도체소자 응용을 위한 P형 도핑 및 전력소자용 쇼트키 배리어 다이오드 소자연구 현황과 우수한 양자특성을 갖는 다이아몬드 NV 센터 형성을 위한 기술현황과 전망에 대해서 소개한다.

Keywords:

다이아몬드,
 차세대전력반도체,
 양자응용기술

a. Corresponding Author ; ohnam@tukorea.ac.kr

SiC 2-레벨 인버터를 이용한 가상 임피던스 기반 Flying Start 기법

이윤성, 이준신, 원충연^a

Yoon-Seong Lee, Junsin Yi, Chung-Yuen Won^a

성균관대학교

Abstract:

본 논문은 영구 자석 동기전동기 구동 시스템의 과도 특성을 고려한 가상 임피던스 기반 비행 시작을 제안한다. 가상 저항에 기반한 기존의 플라잉 스타트는 시스템의 부하가 저항성이라고 가정한다. 그러나 기계 파라미터와 샘플링 주파수에 의해 결정되는 가상 저항의 최대값은 때때로 작은 값을 갖는다. 이 경우 시스템의 부하는 비저항성이다. 이러한 가정 오차는 추정 위치 오차를 유발하고 과도 특성을 저하시킨다. 제안하는 방법에서는 가상 저항 기반의 플라잉 스타트의 추정 전류 조절기에 대수적 형태의 가상 인덕턴스를 추가하였다. 제안하는 제어기법을 통해 추정된 회전자 위치의 정확도 및 과도 특성이 향상된다. 또한 제안하는 플라잉 스타트 방식의 이산시간 시스템 모델을 제시하고, 제안하는 방식으로 인한 가상 저항의 변화를 고려한 안정성을 분석하고, PSIM 시뮬레이션과 실험 결과를 통해 개선점을 검증하였다.

Keywords:

Flying start,
PMSM,
SiC

a. Corresponding Author ; wocy550@gmail.com

SiC 소자 기반 계통연계형 전력변환장치 개발

김태균, 안창균, 이준신, 원충연^aTae-Gyu Kim, Chang-Gyun An, Junsin Yi, Chung-Yuen Won^a

성균관대학교

Abstract:

최근 태양광과 같은 신재생 발전원의 설치 규모가 증대되며, 전자동차와 같은 순간적인 직류 부하 요구량이 커짐에 따라 효율적인 전력 변환을 위해 DC 마이크로그리드에 대한 연구가 진행되고 있다. 현재 DC 마이크로그리드는 AC 계통과의 연계가 필요하며, 이로 인해 대용량의 AC-DC 전력 변환이 요구된다. 기존 계통연계형 AC-DC 전력변환장치는 Si 소자로 개발이 많이 되었으나 대용량의 전력을 감당해야 하기 때문에 MOSFET에 비해 낮은 스위칭 주파수를 갖는 IGBT가 사용되어 왔다. 근래 Si 소자에 비해 효율과 열적 특성이 우수하고 고용량임에도 빠른 스위칭이 가능한 SiC 소자의 보급으로 인해, SiC 소자 기반 계통연계형 개발이 요구되고 있다. SiC 소자를 이용해 개발하는 전력변환 장치는 소형화나 앞선 특성들이 우수하지만, Si 스위치와는 다른 구동 전압레벨과 스위치의 on/off 시 특성이 달라 별도의 게이트 드라이버를 설계 및 제작을 해야 한다. 본 논문에서는 SiC 스위치의 선정과 선정된 스위치를 구동하기 위한 게이트 드라이버, 전력변환장치의 설계 및 개발을 수행하였으며, TMS320F28377 MCU를 이용한 제어를 통해 인버터의 구동을 수행하였다.

Keywords:SiC소자,
전력변환장치

a. Corresponding Author ; woncy550@skku.edu

변형준, 이준신^a, 원중연^b
 Hyungjun Byun, Junsin Yi^a, Chung-Yuen Won^b

성균관대학교

Abstract:

전력용반도체소자 중 와이드 밴드갭 반도체 중 하나인 SiC 소자는 Si 소자에 비해 밴드갭, 절연파괴전계, 포화전자속도, 열전도율에 강점을 갖는다. 따라서, 고전압 고전류 전력용반도체 어플리케이션에 SiC MOSFET를 적용할 경우 Si기반의 IGBT에 비해 스위칭 속도를 높일 수 있고, 스위칭 및 도통 손실을 줄일 수 있으며, 높은 열전도율로 인해 출력밀도를 높일 수 있다. 그러나, 높은 스위칭 속도, 낮은 소자두께로 인한 낮은 기생커패시턴스로 인해 EMI와 SOA (safe operating area)의 문제를 고려해야한다. EMI는 전자기 간섭에 의한 제품의 안정적인 작동과 결부되며, SOA는 소자의 신뢰성과 안정성에 결부된다. 두 문제는 빠른 스위칭속도 및 주파수 그리고 회로상 공진현상에 의해 발생한다. 이 중 스위칭속도는 스위칭 손실은 트레이드오프 관계에 있으며, 스위칭 주파수를 줄일 경우 수동소자들의 크기가 커지기에 앞선 문제들을 해결하기 위한 접근법이 될 수 없다. 따라서, 회로상의 공진현상을 분석하고 이를 보완하는 방안이 필요하다. 본 연구에서는 SiC MOSFET의 기생 커패시터와 게이팅 회로상의 루프 인덕턴스를 분석하여 고조파 성분과 공진현상을 고찰하고 이를 보완하기 위해 새로운 SiC MOSFET용 게이트 회로 설계한다. 공진에 의한 고조파 성분 증가 영향을 최소화 하기위해서는 게이팅 등가회로상의 루프 인덕턴스를 감소시켜 공진주파수를 높여야한다. 따라서 게이트드라이버단과 전력단을 하나의 PCB를 통해 전력변환장치를 설계하였으며 추가적으로 다층레이어를 통해 자속을 상쇄시켜 기생인덕턴스를 저감하였다.

Keywords:

SiC,
EMI,
게이트드라이버

a. Corresponding Author ; junsin@skku.edu
 b. Corresponding Author ; woncy550@gmail.com

Fermi Level Pinning in β -Ga₂O₃ Schottky Barrier Diodes on 4H-SiC

박세림, 이태희, 최지수, 이현우, 문수영, 이형진, 구상모^a

Se-Rim Park, Tae-Hee Lee, Ji-Soo Choi, Hyun-Woo Lee, Soo-Young Moon, Hyung-Jin Lee, Sang-Mo Koo^a

광운대학교

Abstract:

Beta gallium oxide (β -Ga₂O₃) is a promising material for high-power applications due to its excellent material properties, including an ultra-wide bandgap ($E_g \sim 4.8$ eV), high critical field ($E_{br} \sim 8$ MV/cm), and high Baliga's figure-of-merit (BFOM ~ 3214). These properties make Ga₂O₃-based power devices suitable for power conversion applications that require high reliability and high power density.

However, an enormous leakage currents in Ga₂O₃ devices limits the realization of high-reliability devices. It is known that the leakage current of the Schottky diode is related to Fermi-level pinning in the metal-semiconductor (MS) interface. Fermi level pinning refers to the phenomenon where the Fermi level is fixed to a specific energy level at the interface between MS contact due to the high density of state, leading to non-ideal electronic device performance. Therefore, reducing Fermi-level pinning in Ga₂O₃ is important to control the leakage current.

Oxygen vacancy on the surface can create defect states in the bandgap of Ga₂O₃, and it can induce to Fermi-level pinning metal-semiconductor interface. The concentration of oxygen vacancies at the MS interface can be influenced by surface treatment such as an oxygen environment annealing process or UV ozone treatment. And more research is needed to be studied about the specific mechanisms with proper surface treatment and how it affects the performance of devices.

In this study, we investigated Fermi-level pinning in β -Ga₂O₃ thin films by performing surface treatment under oxidizing conditions. Ga₂O₃ thin films were deposited on 4H-SiC substrates using the RF magnetron sputtering. SBH variation as a function of various Schottky metal such as Ni, Pt, and W on Ga₂O₃ thin film is investigated to confirm the fermi level pinning. Electrical properties of such as Schottky barrier height (SBH) and ideality factor (n) are analyzed by I-V and C-V curves.

Keywords:

β -Ga₂O₃,
SiC,
Schottky Barrier
Diodes,
Surface states,
Fermi Level Pinning

a. Corresponding Author ; smkoo@kw.ac.kr

Structural and Crystal Quality Analysis of Step-Graded N-Doped 4H-SiC Epitaxial Layers for Superjunction Power Devices

김성준^{1a}, 박영재^{1b}, 신훈규^{1c}, 강민재¹, 손동익²

Seongjun Kim^{1a}, Youngjae Park^{1b}, Hoon-Kyu Shin^{1c}, Min Jae Kang¹, Dong-Ick Son²

¹포항공과대학교 ²한국과학기술연구원

Abstract:

We utilized metal-organic chemical vapor deposition (MOCVD) to grow n-type 4H-SiC epitaxial layers, including a 10 μm -thick n-type SiC single layer (nitrogen doped 4H-SiC) on an n+-SiC substrate as a reference sample, and a step-graded structure consisting of three 2 μm -thick epitaxial layers with varying doping levels on a nitrogen doped 4H-SiC wafer.

Our investigation focused on the structural properties of the epitaxially grown 4H-SiC multi-layer on the n+-SiC substrate, which was designed for a superjunction structured power device. The multi-layer structure consisted of a 2 μm n-SiC ($n=7\text{E}15\text{ cm}^{-3}$) layer, 2 μm n-SiC ($n=1\text{E}16\text{ cm}^{-3}$) layer, and 2 μm n-SiC ($n=4\text{E}16\text{ cm}^{-3}$) layer. AFM images showed poorer surface roughness of the step-graded SiC multilayers compared to the reference sample.

Raman spectra revealed sharp and strong E2(TO) peaks, and the intensity ratio of E1(TO)/E2(TO) was smaller than the reference and N-implanted SiC, indicating better crystal quality. Moreover, 4H-SiC (0004) peaks were observed at 36.5° from all three samples in the 2θ curves, and omega rocking curves showed narrower FWHM (full width at half maximum) of the multi-layer structure. The Raman and X-ray diffraction results demonstrated high crystalline quality of the SiC multilayers structure, indicating its potential for use in SJ-structured power devices.

Keywords:

4H-SiC,
Epitaxial layers,
Superjunction,
Crystal quality,
MOCVD

a. Corresponding Author ; sjkim42@postech.ac.kr

b. Corresponding Author ; youngjaepark@postech.ac.kr

c. Corresponding Author ; shinhk@postech.ac.kr

강인호^a, 문정현, 서재화, 김형우, 방욱

Inho Kang^a, Jeong Hyun Moon, Jae Hwa Seo, Hyoung Woo Kim, Wook Bahng

한국전기연구원

Abstract:

본 연구에서는 상용 SiC MOSFET 제품을 이용하여 5.5 kW 3상 인버터의 효율을 비교하고 결과를 분석하였다. 먼저 테스트 소자에 대한 안전한 인버터 효율을 테스트를 하기 위해 암쇼트 보호 기능과 컴퓨터에 의한 성능 제어 및 모니터링 기능을 갖춘 3상 인버터와 컴퓨터 제어 S/W를 설계하고 제작하였다. 또한 상용 제품들에 대한 성능 비교를 위해서 인버터 탑재 전에 전기적 특성인 정특성(output curve, transfer curve, diode I-V curve 등) 및 동특성(턴온 손실 및 턴오프 손실)을 측정하고 분석하였다. Si IGBT 및 2가지 종류의 SiC 제품에 대해 5.5 kW 부하 상태에서 효율을 비교한 결과, 각각 94.2, 95.6, 96.1%의 결과값을 얻었다. 이는 Free wheeling diode (FWD) 로 FRD를 동일 패키지에 집적한 Si IGBT에 비해 별도의 FWD가 없음에도 불구하고 SiC 제품이 1% 이상의 효율 향상을 보였고 SiC MOSFET의 경우는 낮은 턴온저항 제품이 1.8% 향상을 보인 결과이다. 전기적 특성을 비교 분석한 결과 이러한 효율 향상은 전기적 특성의 차이에 의한 것임을 알 수 있었다.

Keywords:

4H-SiC,
MOSFET,
Inverter,
Efficiency

a. Corresponding Author ; ihkang@keri.re.kr

Post-Deposition Annealing Effects of Aerosol Deposited BaTiO₃ on 4H-SiC Substrates as Metal-Insulator-Semiconductor (MIS) Structure

최지수, 이현우, 이태희, 박세림, 정승환, 조영훈, 문수영, 이건희, 오종민, 구상모^a
 Ji Soo Choi, Hyun-Woo Lee, Tae-Hee Lee, Se-Rim Park, Seung-Hwan Chung,
 Young-Hun Cho, Soo-Young Moon, Geon-Hee Lee, Jong-Min Oh, Sang-Mo Koo^a

광운대학교

Abstract:

This study investigates the electrical characteristics of metal-insulator-semiconductor (MIS) structure fabricated on silicon carbide (SiC) substrates using aerosol deposition (AD), employing barium titanate (BaTiO₃). SiC is a superior material for high-temperature, high-voltage, high-frequency, and high-power applications, due to its remarkable electrical and physical properties, such as a wide bandgap energy (~3.6 eV), critical electric field (~2.4 MV/cm), thermal conductivity (~4.9 W/cmK), and mechanical strength.

In an effort to enhance SiC-based device performance, research has explored the use of high-k oxide materials, like aluminum oxide (Al₂O₃) and hafnium oxide (HfO₂), as silicon dioxide (SiO₂) replacements for MOSFETs and MIS structure on SiC. BaTiO₃ exhibits exceptional dielectric and ferroelectric properties and has various applications, including high-power electronics, actuators, sensors, and capacitive energy storage.

BaTiO₃ thin films have been fabricated using multiple deposition methods, such as molecular beam epitaxy (MBE), sol-gel, RF sputtering, and AD. The AD method has several advantages, including minimal defects, substrate adhesion, low porosity, nanoscale grains and high dielectric breakdown strength with improved densities. Additionally, the films deposited by AD have been reported improvements of dielectric properties with heat treatment.

In our experiments, MIS structure were fabricated using AD on 4H-SiC substrates, and post-deposition annealed in O₂ atmospheres. We conducted electrical analysis through current-voltage (I-V) and capacitance-voltage (C-V) at 1 MHz measurements and calculated near interface trap density (N_{it}). In addition, we analyzed the surface roughness using atomic force microscopy (AFM). Our findings suggest that the post-deposition annealed process significantly influences electrical properties, near interface trap density, and surface roughness during dielectric thin film deposition using AD.

Keywords:

4H-SiC,
 Barium Titanate,
 Aerosol Deposition,
 Metal-Insulator-
 Semiconductor,
 Annealing

a. Corresponding Author : smkoo@kw.ac.kr

Design and Optimization of 4H-SiC Super-Junction MOSFET with Current-Spreading Layer

조영훈, 박세림, 이태희, 정승환, 이형진, 이건희, 구상모^a

Young-Hun Cho, Se-Rim Park, Tae-Hee Lee, Seung-Hwan Chung, Hyung-Jin Lee, Geon-Hee Lee, Sang-Mo Koo^a

광운대학교

Abstract:

The introduction of the Silicon carbide (SiC) in power metal oxide semiconductor field effect transistor (MOSFET) has made great progress due to its excellent properties including wide bandgap (~3.3 eV) and high critical electric field (~2.5 MV/cm). Though Breakdown Voltage (BV) have increased through numerous studies, there has been little researched in reducing the specific ON-resistance ($R_{on,sp}$).

$R_{on,sp}$ of MOSFET is largely included as channel resistance (R_{ch}), JFET resistance, and drift layer resistance (R_{drift}). One of the promising ways of reducing R_{drift} is introducing super-junction (SJ) in the drift region. As compensation for the high doping concentration of p-pillar, the high doping concentration of N-epi layer caused low R_{on} . Furthermore, BV increases due to the uniform distribution of the electric field in the drift region. Consequently, SJ MOSFETs propose a better tradeoff between BV and $R_{on,sp}$.

Another promising way is introducing a very thin heavily doped n+ current spreading layer (CSL) beneath the p-type base region, which leads to distribute the electron flow more uniformly. However, the addition of CSL region causes an increase of electric field in the oxide film over the JFET region in the blocking state. Since MOSFETs with CSL has both low $R_{on,sp}$ and BV, it is important to optimize the doping concentration and depth of CSL.

In this work, we proposed SiC SJ MOSFET with CSL for a better tradeoff than conventional SJ MOSFET. To optimize the performance of device, we modified three design parameters: the depth of CSL (D_{CSL}), the depth of P-pillar (D_{pill}), the doping concentration of CSL (N_{CSL}). It was verified that $R_{on,sp}$ and BV decreased as N_{CSL} and D_{CSL} increased. D_{pill} significantly contributed to the increase in BV by uniformly distributing of the electric field. As a result, it was confirmed that the SJ with CSL structure had a larger BFOM due to better tradeoff.

Keywords:

4H-SiC,
Simulation,
Superjunction,
Current spreading
layer

a. Corresponding Author ; smkoo@kw.ac.kr

Deep Level Trap Analysis of 4H-SiC Schottky Barrier Diode and PIN Diode

신명철, 이건희, 정승환, 이태희, 조영훈, 박세림, 구상모^a

Myeong-Cheol Shin, Geon-Hee Lee, Seung-Hwan Chung, Tae-Hee Lee, Young-Hun Cho, Se-Rim Park, Sang-Mo Koo^a

광운대학교

Abstract:

The deep level defects themselves, such as Z1/2 and EH6/7, are intrinsic to the silicon carbide (SiC) material and are not fundamentally different between Schottky Barrier Diodes (SBD) and PiN diodes. However, the influence of these deep level defects on device performance can vary depending on the device type.

We investigated deep levels in n-type 4H-SiC epitaxy layer of the Positive-Intrinsic-Negative diode and Schottky barrier diodes by using deep level transient spectroscopy. Despite the excellent performance of 4H-SiC, research on various deep level defects still requires a lot of research to improve device performance. In Positive-Intrinsic-Negative diode, two defects of 196K and 628K are observed more than Schottky barrier diode. This is related to the action of impurity atoms infiltrating or occupying the 4H-SiC lattice in the ion implantation process. The I-V characteristics of the Positive-Intrinsic-Negative diode shows about ~100 times lower the leakage current level than Schottky barrier diode due to the grid structures in Positive-Intrinsic-Negative. As a result of comparing the capacitance of devices diode and Schottky barrier diode devices, it can be seen that the capacitance value lowered if it exists the P implantation regions from C-V characteristics.

Keywords:

4H-SiC,
Schottky barrier diode,
PIN diode,
Deep level defect

a. Corresponding Author ; smkoo@kw.ac.kr

Analysis of Surface Morphological and Electrical Properties of Nickel Oxide Thin Film by Post-Treatment

문수영, 이건희, 김민영, 이현우, 김예진, 전가연, 구상모^a

Sooyoung Moon, Geon-Hee Lee, Min-Yeong Kim, Hyun-Woo Lee, Ye-Jin Kim, Ga-Yeon Jeon, Sang-Mo Koo^a

광운대학교

Abstract:

Power semiconductors are fundamental components of modern electronics, playing a crucial role in a wide range of applications, from electric vehicles to renewable energy systems. Silicon Carbide (SiC) is a wide-bandgap semiconductor material that offers several advantages, such as high temperature and radiation resistance, high breakdown voltage, and low power loss [1,2]. These benefits make SiC particularly attractive for high-performance power electronic devices. Aluminum and boron ions are commonly utilized as acceptors in p-type SiC, with ionization energies of 240 meV and 290 meV, respectively [3]. These acceptors introduce holes into the material, which are the majority carriers in p-type SiC. However, due to the relatively high acceptor ionization energy, it is challenging to achieve a high concentration of holes in the P+ region at room temperature, which can limit the performance of certain electronic devices that rely on this region, such as bipolar junction transistors.

Nickel oxide (NiO) is a transparent natural p-type semiconductor and has a wide energy band gap (3.4 – 4.0 eV), showing excellent chemical stability, making it a good candidate for bipolar devices [4–6]. Notably, nickel oxide is a promising candidate in the application of high-frequency and power electronics because of its good electrical conductivity and high optical transmission as a transparent conductive oxide (TCO). NiO has high hole injection efficiency and is suitable for forming heterojunctions with n-type 4H-SiC due to relatively large band gaps.

In this work, we present a detailed analysis of various electrical characteristics of a heterojunction PiN diode, in which a thin film of NiO was deposited with rf-sputtering on a 4H-SiC substrate. We confirmed the thin film characteristics of NiO through the post-treatment process. Surface structural analysis of the thin film was performed by analyzing its roughness using atomic force microscopy (AFM) and its ion concentration using X-ray photoelectron spectroscopy (XPS). Various electrical parameters, such as built-in potential, were extracted through on/off ratio, Ron, sp, and capacitance-voltage (CV) measurement using current-voltage (IV) characterization.

Keywords:

Nickel Oxide,
Thin film,
Deposition process,
Surface Morphology,
Bipolar device

a. Corresponding Author ; smkoo@kw.ac.kr

연마재가 함유되지 않은 슬러리를 이용한 CMP 공정 후 SiC 기판 표면의 품질 향상 연구 (Quality Improvement of SiC Substrate Surface with Using Non-abrasive CMP Slurry)

나준혁¹, 이승준², 박병훈², 이채영², 이철호², 서정두², 구갑렬², 이종원³, 최보혁³, 김은옥³, 신나라³, 정수영³, 김동욱³, 이원재^{1a}
 Jun Hyuck Na¹, Seung Jun Lee², Byeong Hun Park², Chae Young Lee², Cheol Ho Lee², Jung Doo Seo², Kap Ryeol Ku², Jong Won Lee³, Bo Hyeok Choi³, Eun Ock Kim³, Na Ra Shin³, Su Yeong Jung³, Dong Wook Kim³, Won Jae Lee^{1a}

¹동의대학교 ²주식회사 세닉 ³(주)케이씨텍

Abstract:

SiC는 매우 높은 경도, 취성 및 불활성으로 잘 알려져 있고, epitaxial film 성장 조건을 충족하기 위해 표면이 매우 평평하고 손상이 없어야 한다. 현재 SiC의 CMP (chemical mechanical polishing) 공정은 일반적으로 높은 가공 비용과 낮은 가공량으로 어려움을 겪고 있다. MRR (material removal rate)과 거칠기, 결함 및 스크래치를 포함한 완성된 wafer 표면의 품질은 SiC-CMP 공정의 두 가지 주요 요인이다. 그러나 일반적인 CMP 슬러리에 존재하는 연마 입자는 때때로 응집되어 CMP 공정 중에 2차 스크래치의 형성을 유도할 수 있으며, 최종 cleaning 공정 후에도 그 응집체가 SiC 표면층으로 침투하여 입자 결함의 역할을 할 수 있다 [1,2].

본 연구에서는 CMP 공정을 위해 전이금속 이온을 첨가한 SiC 슬러리에서 연마재 함량이 감소함에 따라 CMP 공정 후 SiC 기판의 표면 품질을 조사하였다. 그림 1은 산성 영역에서 MnO_4^- 의 환원반응과 SiC 기판의 표면반응을 나타낸다. 산화반응 후 남아있는 Mn_2+ 는 전이 금속이온과 반응하여 MnO_4^- 로 돌아가므로 연마재가 함유되지 않은 슬러리로 CMP 공정이 가능하였다 [3,4]. 이 연구에서는 CMP 공정에서 전이 금속이온이 첨가된 SiC 슬러리의 연마재 함량을 0%, 3.5%, 5% 나눈 후 CMP 공정을 거쳤다. 그림 2는 다양한 연마재 함량을 가진 슬러리로 CMP 공정을 거친 SiC 기판에 대한 표면 형태 이미지 및 거칠기 데이터를 AFM (atomic force microscope) 분석으로 관찰하였다. 연마재를 첨가하지 않은 슬러리로 가공한 SiC 기판의 표면 거칠기는 연마재가 함유된 슬러리를 사용한 SiC 기판보다 약간 낮았다. 그림 3은 다양한 연마재 함량으로 가공된 SiC 기판의 Si-face 및 C-face에 대한 MRR을 나타낸다. 연마재를 첨가하지 않은 슬러리로 가공한 SiC 기판의 Si-face의 MRR 값은 연마재가 함유된 슬러리로 가공한 SiC 기판과의 MRR과 거의 동일한 반면, C-face의 MRR 값은 확실히 향상되었다. 최종적으로 SiC 기판의 particle map을 그림 4에 나타내었다. 연마재가 함유되지 않은 슬러리를 사용하여 CMP 가공된 최종 SiC 기판은 SiC 표면에서 훨씬 적은 수의 particle를 갖는 것으로 관찰되었다.

Keywords:

SiC single crystal,
 CMP process,
 Non-abrasive slurry

a. Corresponding Author : leewj@deu.ac.kr

4H-SiC 단결정 잉곳 성장을 위한 단열 재료의 설계 최적화 (Design Optimization of Insulating Materials for 4H-SiC Crystal Ingot Growth)

이하린¹, 이채영², 김수호², 이승준², 박종휘², 최정우², 김정규², 구갑렬², 이원재^{1a}
Ha Lin Lee¹, Chae Young Lee², Su Ho Kim², Seung Jun Lee², Jong Hwi Park²,
Jung Woo Choi², Jung Gyu Kim², Kap Ryeol Ku², Won Jae Lee^{1a}

¹동일대학교 ²주식회사 세닉

Abstract:

SiC(silicon carbide)는 높은 항복 전압, 높은 열 전도도 및 높은 전자 이동도를 가진 유망한 wide 밴드갭 반도체 재료 중 하나이다. SiC 디바이스의 수율을 향상시키기 위해서는 더 큰 직경과 더 높은 품질의 4H-SiC 단결정 웨이퍼가 필요하며, 150 mm 고품질 웨이퍼에서 향상된 디바이스 성능으로 다양한 유형의 SiC 전력 디바이스를 생산할 수 있다 [1,2]. 결함 밀도가 낮은 고품질 SiC 에피층이 결정 결함이 적고 휨 값이 낮은 고품질 SiC 기판을 중심으로 성장할 수 있다는 것은 잘 알려져 있으며, hot-zone design을 수정하여 결정 성장 전면의 온도 구배를 신중하게 제어하는 것이 대형 SiC 결정 성장에서 잔류 변형을 줄이고 최종 SiC 웨이퍼의 휨 및 결함 밀도를 줄이는데 중요한 역할을 한다 [3,4].

본 연구에서는 하나의 단열재를 사용하는 기존 hot-zone design과 서로 다른 단열 특성을 가진 밀도 값이 다른 두 개의 단열재로 구성된 hot-zone design을 사용하여 동일한 성장 조건에서 SiC 단결정을 성장시켜 비교분석을 진행하였다. SiC 단결정 성장은 4H-SiC, C-face의 6인치 seed를 사용하여 약 2,300°C의 온도에서 성장을 진행하였으며 이 때, Ar 분위기에서 압력을 1~40 torr로 유지시켰다.

성장된 결정의 잉곳 표면 형태를 통해 단열재 밀도를 변화시킴으로써 성장 영역의 온도 구배 제어 가능 여부를 확인하였으며 SiC 단결정의 결정 품질 분석을 위해 결함 밀도와 FWHM 값의 mapping 측정을 이용하였다. 이로써 6인치 4H-SiC 단결정 성장을 위한 단열 재료의 설계 최적화 방법을 제시하고자 한다.

Keywords:

SiC single crystal,
Hot-zone design,
Insulation material

a. Corresponding Author ; leewj@deu.ac.kr

1,200 V 급 4H-SiC Deep-Trench Super Junction Split Gate Trench MOSFET의 전기적 특성 분석

이장현, 유지연, 김유림, 강이구^a

Jang Hyeon Lee, Ji Yeon Ryou, Yu Rim Kim, Ey Goo Kang^a

극동대학교

Abstract:

실리콘 카바이드(4H-SiC)는 실리콘 기반 소자 대비 차세대 반도체 재료로 각광받고 있으며 wide band-gap을 가진 육방정계(hexagonal cubic) 구조의 반도체 물질로 우수한 열전도율 특성과 높은 항복전압 특성, 화학적 및 물리적 안정성이 높은 것으로 알려져 있으며 많은 관심과 연구가 이루어지고 있습니다. 4H-SiC 전력 장치(power device)의 연구 및 응용은 고효율성을 추구하는 현 에너지 산업발전의 초점 중 하나가 되었습니다. 이 연구에서는 모스펫(metal oxide semiconductor field effect transistor)의 최적화를 진행 하였습니다. Super junction은 보편적으로 사용되는 동일한 gate를 가진 MOSFET 구조 대비 P-pillar의 깊이에 따라 낮은 온-저항 특성을 가지며, multi-epi 공정과 deep-trench 공정 기법이 있습니다. Deep-trench 기법이 multi-epi 기법 대비 더 고른 전계 분포를 가지므로, 더 높은 항복전압으로 인한 스위칭 손실의 감소를 기대할 수 있는 전력 장치 구조입니다. Trench split gate 구조는 분리되어 수직으로 위치하는 control gate와 dummy gate로 구성 되어있으며, reverse transfer capacitance를 줄일 수 있기에 기존 trench gate 대비 더 빠른 스위칭을 가능하게 만들어주는 전력 장치 구조입니다. 본 논문은 4H-SiC deep-trench super junction 구조에서 전하밀도를 상승시켜 더 빠른 스위칭 속도를 가져오도록 split gate 구조를 적용하였습니다. Silvaco의 athena와 atlas를 활용한 시뮬레이션 결과 기존 SiC trench gate MOSFET에 비해 높은 항복 전압, 낮은 온-저항을 확인하였습니다.

Keywords:

Silicon Carbide,
Deep-Trench
SuperJunction,
Split Gate,
MOSFET,
1,200V Trench Gate

a. Corresponding Author : ehhk1000@nate.com

배현철^{1a}, 오애선¹, 박성호², 정봉민³, 김선애¹

Hyuncheol Bae^{1a}, Aesun Oh¹, Seonghyo Park², Bongmin Jeong³, Sunae Kim¹

¹한국전자통신연구원 ²금오공과대학교 ³충남대학교

Abstract:

전력 반도체를 이용한 전력 모듈에 대한 수요는 전기 자동차 시장의 확대와 함께 급격하게 증가하고 있다. 또한, 생활 가전 시장 및 에너지 분야에서도 탄소 배출을 줄이기 위한 기술로 전력 모듈의 효율을 증대시키기 위한 개발이 활발하게 이루어지고 있다.

기존에 사용하는 고전압, 고전력용 전력 변환 모듈 기판으로는 세라믹 계열의 Al_2O_3 , AlN , Si_3N_4 direct bonded copper (DBC) 기판이나 active metal brazing (AMB) 기판이 많이 사용되고 있는데 세라믹 계열의 기판은 고방열 특성에서 장점을 가지지만, 열충격 테스트에서 CTE mismatch로 인한 기판 신뢰성 및 대량 생산 시 고가격이라는 단점을 가지고 있다. IMS 기판의 경우 일본 및 유럽의 선진 기업에서는 활발히 연구 및 개발이 이루어지고 있다. 대량 생산이 용이하며 상부 및 하부 Cu 동박과 유전체 사이의 CTE mismatch 문제를 해결할 수 있는 기판이다.

본 논문에서는 세라믹 DBC 기판이나 AMB 기판을 대체하여 유전체를 사용한 IMS 기판을 이용하여 전력 모듈을 제작한 결과에 대하여 소개하고자 한다. 기존 전력 모듈의 경우 DBC 기판과 base plate를 따로 제작하여 2번의 접합 공정을 이용하여 전력 모듈을 제작한 반면에 본 논문에서 제시하는 전력 모듈의 경우 DBC 기판과 base plate이 일체화된 기판을 제작하여 1번의 접합 공정만으로도 전력 모듈을 제작할 수 있다. 제작 공정 steps를 줄일 수 있으며 DBC 기판과 base plate 사이의 TIM 접합 공정을 제외할 수 있어 방열 특성도 개선할 수 있다. 제작한 전력 모듈의 전기적인 특성 비교를 위하여 300 V, 100 A 조건으로 동작 후 DBC 기판을 사용한 전력 모듈과 스위칭 특성을 비교하였으며 열적 특성 비교는 추가 분석을 통하여 진행할 예정이다.

Keywords:

전력반도체,
전력 모듈,
IMS 기판

a. Corresponding Author ; hcbae@etri.re.kr

1,200 V급 SiC 기반의 SBD를 내장한 Trench Gate 전력 MOSFET

김유림, 유지연, 이동현, 강이구^a

Yu Rim Kim, Ji Yeon Ryou, Dong Hyeon Lee, Ey Goo Kang^a

극동대학교

Abstract:

본 연구에서는 1,200 V 급 SBD를 내장한 trench gate MOSFET 최적화에 관한 연구를 진행하여 기존 소자에 비해 우수성을 확인하고자한다.

알려진 바와 같이 SiC 기반으로 한 화합물 전력 반도체 소자는 Si 기반의 전력반도체 소자와 비교하여 볼 때 Si 소자의 대형화, 열특성을 개선할 수 있고 고온, 고속 동작이 가능하다.

본 논문에서는 자동차용 반도체 및 내연기관 자동차 PTC 히터용 전력반도체에서 사용될 수 있는 trench gate MOSFET을 설계하고자 한다. 기존 trench gate MOSFET에 schottky barrier diode (SBD)를 내장한 1,200 V급 Trench MOSFET은 TCAD툴을 이용하여 공정 시뮬레이션을 수행하였다. 시뮬레이션을 통해 최적 구조를 이용하여 최적의 파라미터를 도출하였으며 항복전압과 온저항 등의 전기적인 특성을 분석하였다.

SiC 기반으로 하였기 때문에 Si에 비해 10배 정도 크기가 줄어들고 동시에 마진 10%를 고려하여 1,300 V 이상의 항복전압을 기준으로 하였다.

Trench gate MOSFET에 SBD를 내장하게 되면 trench gate 하단의 집중된 전계 분산효과로 인해 향상된 항복전압을 얻는다. 또한 가장 중요한 특성 중 하나인 온 저항 특성은 JFET 영역이 사라지기 때문에 planar gate MOSFET 보다 크게 줄일 수 있었다.

본 논문에서 설계한 1,200 V급 SiC 기반의 SBD를 내장한 trench gate 전력 MOSFET소자는 자동차에서 사용되는 다양한 스위칭 소자에 활용될 수 있으며 스위칭 손실 저감으로 인한 에너지 효율 증진과 고전압 구동을 통한 도통 손실저감 및 우수한 고온 동작 특성을 가질 수 있을 것으로 생각된다.

Keywords:

Power MOSFET,
SiC,
Trench Gate,
SBD,
Breakdown Voltage

a. Corresponding Author : ehhk1000@nate.com

Electrochemical Detection of Glucose Using 4H-SiC Based Biochemical Sensor

한성웅^{1a}, 김동은¹, 김성준¹, 강민재¹, 장진기², 송철웅², 전상길², 신훈규¹
Sung-Woong Han^{1a}, Dong-Eun Kim¹, Seongjun Kim¹, Min-Jae Kang¹, Jin Gi Jang²,
Martin Song², Sang Kil Jun², Hoon-Kyu Shin¹

¹포항공과대학교 ²답런도탈솔루션

Abstract:

Silicon carbide (SiC) is one of the most used semiconductor material for building up high-performance microelectronic device because of its remarkable physicochemical stability and mechanical hardness [1]. In this study, we demonstrated a functionalization of 4H-SiC surface and the detection of glucose using an enzyme modified SiC surface. The functionalization and enzyme modification on 4H-SiC surface were investigated with a cyclic voltammetry (CV) by reduction-oxidation (Redox) potential and the changes. The surface was further modified with glucose oxidase (GOx) for the application of a novel SiC wafer based glucose sensor.

By the CV scan, the oxidation peak of amino group modified 4H-SiC was shifted and continuously increased by the scan number increasing and the reduction peak increased in an irregular manner unlike oxidation peak shift. The 4H-SiC shows significant higher Redox potential change compare with Si surface which means that sacrificial oxidation of SiC surface is very effective for the functionalization. The performance analysis of the SiC/GOx based glucose sensing electrodes was studied at 2.5 mM glucose concentration and was shown the oxidation peak of +12 mA around +0.4 V and reduction peak of -90 mA around -0.2 V [2].

In this study, we demonstrated the surface functionalization of 4H-SiC substrate. The surface of 4H-SiC was oxidized by thermal oxidation and treated with amino-silane for the functionalization. CV shows that the thermal oxidized 4H-SiC surface was significantly higher redox potential than those of the other surfaces. We also achieved the sensing of glucose by the novel SiC based GOx electrode. Further works are needed to improve the sensitivity and durability.

Keywords:

Silicon Carbide,
Electrochemical
Detection,
Surface Modification,
Cyclic Voltammetry,
Glucose

a. Corresponding Author ; sungwoong2@gmail.com

Comparing Electrical Characteristic of Ga₂O₃/4H-SiC Heterojunctions with Varying Thickness by Aerosol-Deposition

이현우, 조영훈, 최지수, 이건희, 문수영, 오종민, 신원호, 김민경, 박철환, 구상모^a
Hyun-Woo Lee, Young-Hun Cho, Ji-Soo Choi, Geon-Hee Lee, Soo-Young Moon,
Jong-Min Oh, Weon-Ho Shin, Min-Kyung Kim, Cheol-Hwan Park, Sang-Mo Koo^a
광운대학교

Abstract:

Ga₂O₃ (EG = ~4.8 eV) is a promising semiconductor material with a wide bandgap, along with SiC and GaN [1]. It is gaining attention as a potential replacement for currently available wide-bandgap power electronics due to its superior performance and lower manufacturing cost. The availability of high-quality Ga₂O₃ substrates produced from melt-grown bulk single crystals also facilitates the development of vertical power devices [2]. In addition, various epitaxial growth methods such as metal organic chemical vapor deposition (MOCVD) and molecular beam epitaxy (MBE) have been widely explored for optimizing growth conditions, developing heterostructures, and characterizing devices [3].

Aerosol deposition is a promising technique for depositing functional materials onto semiconductor surfaces with high precision and efficiency [4]. It involves generating an aerosol of particles, which are then directed towards the substrate surface to form a thin film. Compared to other deposition techniques, aerosol deposition offers greater control over the thickness and uniformity of the deposited film, and allows for the deposition of a wider range of materials onto a variety of substrate surfaces [5].

In this work, Ga₂O₃/4H-SiC heterojunction diodes were fabricated by deposition on SiC substrates using Aerosol Deposition, with different Thickness. (1 μm, 3 μm) The effect of the thickness on electrical characteristics in devices was examined by measuring the current-voltage (I-V), capacitance-voltage (C-V), Hall effect measurement.

Keywords:

Aerosol Deposition,
4H-SiC, Ga₂O₃,
Thickness,
Electrical Properties

a. Corresponding Author : smkoo@kw.ac.kr

Effect of Gas Ambience at Annealing on Electrical Characteristics of Cu₂O/4H-SiC PiN Diodes by RF-Sputtering

이형진¹, 문수영¹, 박세림¹, 이건희¹, 조영훈¹, 정승환¹, Chih-Jung Chang², Pei-Chun Liao², Kung-Yen Lee², 구상모^{1a}

Hyung-Jin Lee¹, Soo-Young Moon¹, Se-Rim Park¹, Geon-Hee Lee¹, Young-Hun Cho¹, Seung-Hwan Chung¹, Chih-Jung Chang², Pei-Chun Liao², Kung-Yen Lee², Sang-Mo Koo^{1a}

극동대학교

Abstract:

In this study, we investigate the electron affinity and leakage current properties of copper oxide (Cu₂O) thin films deposited on SiC substrates. 4H-SiC has a band gap of 3.26 eV, which is significantly higher than that of silicon (1.12 eV). This wide bandgap allows 4H-SiC devices to operate at higher temperatures and higher voltages without suffering from excessive leakage currents or breakdown [1]. However, the low hole concentration and injection capacity observed at room temperature when using aluminum as a p-type dopant in 4H-SiC presents a significant challenge [2].

As a result, researchers have investigated alternative p-type semiconductor materials, such as cuprous oxide (Cu₂O), tin oxide (SnO), and nickel oxide (NiO), to address this issue. Cu₂O, with a bandgap of 2.1 eV, is a p-type semiconductor having an electron affinity (χ) of around 3.2 eV [4]. Typical Cu₂O has a carrier concentration in the range of 10¹⁵ to 10¹⁹ cm⁻³ [5]. As a result, Cu₂O films are regarded as a p-type candidate for oxide solar cells and diodes based on p-n junctions.

The presence of (110), (111), (220), and (311) peaks in XRD indicates that the samples are polycrystalline and that there is no preferential orientation. In XPS analysis, it was shown that hole charge carriers can be produced by point defects. Additionally, under O-rich conditions, it is likely for the material to have oxygen interstitials. Electrical characteristics were analyzed through forward and reverse current-voltage measurements. Cu₂O with an electron affinity of 3.2 eV, exhibits a small conduction band offset with SiC and subsequently a high current density at forward voltage. Furthermore, Cu₂O samples exhibit a low leakage current in reverse bias, resulting in an enhanced on/off ratio and a reduced specific on-resistance. This improvement translates into an approximately 107 on/off ratio and a low specific on-resistance ($R_{on,sp}$) for Cu₂O-based electronic devices in SiC.

Keywords:

4H-SiC,
RF-sputtering,
Cu₂O, Fabrication,
Annealing

a. Corresponding Author ; smkoo@kw.ac.kr

Doping of SiC with Phosphorus by Using Research Reactor at KAERI

박병건^a, 박준식, 강기두, 김명섭, 선광민

Byung-Gun Park^a, Junesik Park, Gi-Doo Kang, Myong-Seop Kim, Gwang-Min Sun

한국원자력연구원

Abstract:

Silicon carbide (SiC) as a wide band-gap semiconductor material, is suitable for high power and high frequency electronic devices because of its excellent thermal and electrical properties compared with silicon. Until now the commonly used dopants in SiC have been nitrogen as a donor and aluminum as an acceptor. However, in situ doping during crystal growth or epitaxy is difficult to control the homogeneity. For this purpose it is homogeneously doped by neutron transmutation doping (NTD) using phosphorous to get a n-type material [1]. Therefore, studies using NTD for uniform doping of SiC have been conducted by some researchers [2-4]. However, most of these studies irradiated SiC by neutrons on a laboratory scale and the main purpose was to analyze the defects that occur by radiation. In this study, we developed an irradiation devices for the SiC in the vertical irradiation hole of the research reactor, HANARO at KAERI. The design of the irradiation device was optimized to achieve a flat axial and radial distribution of the Si-30(n, γ)Si-31 reaction rate. Prior to commercial NTD service for SiC semiconductors, a neutron irradiation test was performed on a 4" high purity semi-insulating 4H-SiC wafers. From the color change after neutron irradiation, it was found that the P-31 dopants created by neutrons was uniformly distributed throughout the wafer. It is expected that high-quality with high voltage devices will be able to be developed by using the NTD-SiC material instead of the conventional epi-wafer for the n-drift layer of the power semiconductor.

Keywords:

SiC,
Single Crystal
Growth,
Physical Vapor
Transport,
Rapid

a. Corresponding Author : smjeong@kicet.re.kr

CVD-SiC 불력을 원료로 사용하는 승화재결정법에 의한 SiC 단결정의 고속성장

박재현^{1,2}, 선주형¹, 김용현¹, 신윤지¹, 배시영¹, 김창민³, 이원재⁴, 정성민^{1a}
 Jae-Hyeon Park^{1,2}, Ju-Hyeong Sun¹, Yong-Hyeon Kim¹, Yun-Ji Shin¹, Si-Young Bae¹,
 Chang-Min Kim³, Won-Jae Lee⁴, Seong-Min Jeong^{1a}

¹한국세라믹기술원 ²부산대학교 ³하나머티리얼즈 ⁴동의대학교

Abstract:

실리콘 카바이드(SiC)는 높은 열전도율, 넓은 밴드갭 및 높은 절연파괴 전압 특성으로 인해 고온 및 고전압 조건에서 작동되는 전력 소자용 분야에서 유망한 재료이다. 실리콘 카바이드(SiC) 단결정 성장 방법으로는 상부종자용액성장법 (TSSG : top seeded solution growth), 고온 화학적 기상 증착법 (HTCVD : high temperature chemical deposition), 물리적 기상 증착법 (PVT : physical vapor transport) 등이 있다.

그 중 특히 PVT (physical vapor transport)는 실리콘 카바이드(SiC) 단결정을 생산하기 위해 상업적으로 사용되는 성장 방법이다. PVT를 이용한 실리콘 카바이드(SiC) 단결정 성장 동안, 2,000°C 이상의 전자기유도가열에 의해 가열된 흑연 도가니에서, 실리콘 카바이드(SiC) 원료는 승화되어 Si, Si₂C, SiC₂ 등의 기상종이 발생하여 증기상으로 전달되고, 그 후, 기상종은 종자결정 위에 단결정으로 증착된다. 전형적으로, 실리콘 카바이드(SiC)의 단결정 성장 속도는 200 um/h ~ 400 um/h 정도로 성장된다.

본 연구에서는 메틸트리클로로실란(CH₃Cl₃Si, MTS)을 원료로 CVD법으로 제조한 초고순도 반도체 공정용 실리콘 카바이드(SiC) 부품을 단결정성장용 원료로 적용한 PVT 고속성장법을 소개한다. CVD-SiC 부품은 분쇄되어 불력상의 원료로 가공되어 PVT법으로 직경 50 mm급 실리콘 카바이드(SiC) 단결정을 성장시켰으며 이 때 성장속도는 1.4~1.7 mm/h 로 나타났다. 성장속도 1.46 mm/h 로 성장시킨 결정의 전위 밀도는 3.1/mm²으로 나타나 고속성장시에도 상당히 안정적인 결정성장조건을 유지하는 것으로 나타났다. 비표면적이 크고 불순물이 적은 CVD-SiC 파쇄불력을 원료로 적용할 경우 PVT 법에 따른 결정성장시 불순물 및 비산입자(Dust)의 혼입이 배제되기 때문에 상하 온도 편차가 큰 고속 성장 조건에서도 고품질의 단결정을 성장시킬 수 있음을 확인하였으며 이때의 결정성장 거동을 열역학 해석 및 성장결과를 통하여 분석하였다.

Keywords:

Silicon carbide,
 MOSFET,
 Commercial,
 HTGB,
 High temperature
 gate bias

a. Corresponding Author ; smkoo@kw.ac.kr

승화재결정법에 의한 SiC 단결정 성장에 있어 다공성 원료내 물질 이동 분포의 영향

선주형¹, 박재현^{1,2}, 신윤지¹, 배시영¹, 김창민³, 이원재⁴, 정성민^{1a}

Ju-Hyeong Sun¹, Jae-Hyeon Park^{1,2}, Yun-Ji Shin¹, Si-Young Bae¹, Chang-Min Kim³,
Won-Jae Lee⁴, Seong-Min Jeong^{1a}

¹한국세라믹기술원 ²부산대학교 ³하나머티리얼즈 ⁴동의대학교

Abstract:

탄화규소(SiC) 단결정 성장법 중 승화법(PVT, physical vapor transport)은 유도가열을 통해 SiC 원료를 승화시키고, 승화한 기체가 seed 결정 표면에서 응축 및 성장하는 방법이다. 이때 SiC 단결정의 성장 속도는 열역학적, 동역학적인 요인에 영향을 받는데 [1], 특히 동역학적 요인 중 하나인 기상종의 수송은 다음과 같은 두 가지 단계로 크게 구분할 수 있다. 먼저 첫 번째 단계는 다공질로 가정할 수 있는 원료 내부에서의 확산을 통한 수송, 두 번째 단계는 원료 최상단부로 이송된 기상종이 seed의 성장면으로 확산과 대류를 통해 수송되는 과정이다. 이때 두 번째 단계의 물질 수송 메커니즘에 대해서는 여러 수송 모델이 제안되었고, 이 과정 중 성장률에 영향을 주는 요인으로는 성장공정 중의 압력과 온도가 주요하다는 연구 결과가 보고되었다 [2,3]. 하지만, 첫 번째 단계의 SiC 원료 내부에서의 물질 수송 특성과 성장률의 관계에 대해서는 연구가 부족한 실정이다.

이에 본 연구에서는 PVT법을 이용한 SiC 단결정 성장 시 원료 내부 확산 경로에 따른 물질 수송 특성과 성장률의 관계를 고찰하였다. 이를 위해 입자 크기가 서로 다른 화학기상증착법(CVD, chemical vapor deposition)-SiC 원료를 사용하였고, 원료의 장입 배치를 각기 달리하여 SiC 단결정을 성장시켰다. 성장 결과 원료의 입자크기, 형태 및 배치분포에 따라 서로 상이한 원료내부의 물질이동 양상을 확인하였으며, 이에 따라 결정성장 양상이 변화함을 확인하였다. 특히, 대형 원료를 수직 배치한 경우 최고 성장률 1.2 mm/hr의 양호한 품질의 단결정을 얻을 수 있었으며, 이러한 결과를 다공질 내부의 확산이론과 Fick's Law를 바탕으로 각각의 원료 내부에서 발생한 기상종의 수송 특성을 유효 확산 계수 근사값으로 계산하여 나타내고 [4-9], 이와 성장률의 관계를 검토하였다. 이를 통해 동일한 PVT 공정조건에서 원료 내부의 유효 확산 계수와 성장률의 선형비례를 확인할 수 있었다.

Keywords:

Silicon carbide,
Physical vapor transport,
Rapid growth,
Diffusion path,
Effective diffusion coefficient

a. Corresponding Author : smjeong@kicet.re.kr

강창수^a
Chang-Soo Kang^a

(주)파웰 코퍼레이션

Abstract:

단위 공정당 2 nm 이하의 디자인룰 시대를 맞이하여 건식 식각 기술의 중심인 플라즈마 공정의 중요성이 크게 부각되고 미세패턴의 정밀한 공정 제어를 위해 건식 플라즈마 정밀 측정이 필요하다. 평판형 플라즈마 센서 장착 정전척 기술의 경우, 반도체 공정에 사용되는 정전척에 플라즈마 밀도 센서를 임베디드 함으로 공정 간섭이 없는 직접적이 측정이 가능하도록 구성되었다. 정전척에 장착된 고도화된 플라즈마 밀도 측정 기술은 플라즈마 반도체 식각 및 증착공정, 표면처리 공정 등에 활용되어 수율 및 효율성을 올리는데 도움을 줄 것으로 예상된다. 공정 챔버에 간섭없이 직접적이고 신뢰성 있는 밀도 측정을 수행하여 반도체의 초저력, 초미세 성능 구현에 필수적인 공정 장비로 활용 될 것으로 예상된다.

본 연구는 제안된 평판형 플라즈마 센서를 상용하는 세라믹 정전척(ESC)에 실제 장착하여 제작하고 이에 따른 특성 변화를 측정하였다. 세라믹 정전척은 제작 기간이 길고 제작 노후가 많이 필요한 제품으로 몇 번의 시행착오를 거쳐 제작되었다. Bar 타입 플라즈마 센서를 12인치 세라믹 ESC 수 채널 장착하여 플라즈마 챔버에서 RF 파워를 증가 시키며 측정하여 결과 도출을 하였으며 N/P 형 웨이퍼 척킹 후의 플라즈마 밀도 측정을 병행 실시하였다. 세계 최초 플라즈마 밀도 센서를 장착한 ESC를 제작 성공하였고 플라즈마 밀도 측정에 문제 없음을 확인하였다.

Keywords:

컷오프 프로브,
플라즈마 밀도 측정,
정전척(ESC),
실시간 플라즈마 밀도,
밀도 Uniformity

a. Corresponding Author ; changsoo_kang@powelcorp.com

Behavior of In-Core Defects in Neutron Transmutation Doped Silicon Carbide Under Thermal Annealing

박준식^a, 박병건, 선광민

Junesic Park^a, Byung-Gun Park, Gwang-Min Sun

한국원자력연구원

Abstract:

In recent, the neutron transmutation doping (NTD) technique using a research reactor has been developed for uniform doping of SiC. NTD is a method for achieving uniform doping in bulky SiC in a short time. However, the many defects generated by various types of intense radiation in the core make it challenging to apply to electronic devices. In general, defects in SiC deteriorate the electrical properties. To use NTD-SiC in electronic devices, the removal of "in-core defects" through thermal annealing is necessary. However, suitable annealing conditions for NTD-SiC have not been systematized yet. In this study, we investigated the behavior of in-core defects in NTD-SiC wafers, depending on the thermal annealing conditions. The NTD-SiC wafer used in the experiment was produced by in-core irradiation at HANARO of Korea Atomic Energy Research Institute. In irradiation process, thermal neutron flux was measured to be $2.62 \times 10^{13} \text{ cm}^{-2}\text{s}^{-1}$ (thermal/fast flux ratio is estimated to be ~500). Total fluence and doping density were calculated to be $1.5 \times 10^{18} \text{ cm}^{-2}$ and $2.5 \times 10^{14} \text{ cm}^{-3}$. Thermal annealing was performed for 60 or 120 minutes at temperatures between 1,100 and 1,700°C. The analysis of defect behavior in thermally treated NTD-SiC was carried out using photo-induced transient spectroscopy (PITS) in the temperature range of 80K to 700K. As a result of the measurement, defect levels between $E_c-0.19 \text{ eV}$ and $E_c-1.61 \text{ eV}$ were detected. Most of the defects were characterized to be neutral charge state. The defect concentration showed an increasing trend as the annealing temperature increased from 1,100°C to 1,700°C. However, it also exhibited a decreasing tendency when subjected to prolonged annealing at 1,700°C. The concentration of Z1/2 ($E_c-0.66 \text{ eV}$) was $1.1 \times 10^{12} \text{ cm}^{-3}$, which was so low that it was comparable to the concentration of CVD 4H-SiC epi-layer. The low concentration of defects measured after heat treatment at 1,700°C suggests that NTD-SiC could be utilized as a electrical component.

Keywords:

Neutron
transmutation
doping,
SiC,
Defect,
Thermal

a. Corresponding Author ; jp@kaeri.re.kr

Wafer-level Identification of Stacking Faults in 4H-SiC Epilayers and Their Effects on the Electrical Characteristics of Schottky Barrier Diodes

나문경^{1a}, 방욱¹, 김형우¹, 강인호¹, 문정현¹, 서재화¹, 김종현¹, 하창승¹, 김상철¹, 정현돈², 홍순구³
 Moonkyong Na^{1a}, Wook Bahng¹, Hyoung Woo Kim¹, Inho Kang¹, Jeong Hyun Moon¹,
 Jae Hwa Seo¹, Junghun Kim¹, Chang-Seung Ha¹, Sangcheol Kim¹, Hyundon Jung²,
 Soon-Ku Hong³

¹한국전기연구원 ²(주)에타맥스 ³충남대학교

Abstract:

In this study, we performed the high-speed wafer-level detection of defects in the epilayers and classification of dislocation types by auto-navigation function using the developed PL mapping system. We especially focused on the classification of detected stacking faults with measuring the emitting PL signals from stacking faults. Depending on the types of classified stacking faults, the effects of each type on the electrical characteristics of devices were evaluated.

A commercially available 100 mm-diameter 4H-SiC epitaxial wafer was used in this study. The nondestructive technique of PL mapping was used to detecting and classifying of defects. Schottky barrier diodes (SBD)s were fabricated with Ti Schottky metals, the position and type of stacking faults were confirmed using PL mapping before and after device fabrications.

A total of 346 stacking faults and triangular defects were detected at the PL mapping measurement of 100 mm-diameter 4H-SiC epitaxial wafer before device fabrication. A total of 49 SBDs were overlapped with stacking faults and triangular defects after device fabrication. As is well-known, the triangular defects act as killer defects, the electrical characteristics of SBD affected by triangular defects are degraded regardless of portion of defect area on the SBD area. The resistance of SBDs including the stacking faults is increased, so the forward voltages of SBDs are increased. We will present further related studies of effect of stacking faults on the electrical characteristics at the conferences.

Keywords:

Stacking fault,
 Photoluminescence,
 Electrical
 characteristics,
 Schottky barrier diode

a. Corresponding Author ; nmk@keri.re.kr

A Study on the Relationship Between Switching Behavior and Output Capacitance of a 1.2 kV SiC MOSFET with Termination Region

김연준, 강혜민^a
Yeon Jun Kim, Hye Min Kang^a

한국에너지공과대학교

Abstract:

SiC-based devices are evaluated as promising candidates to replace Si devices due to their smaller chip size and low switching loss. However, gate leakage may occur due to electric field crowding at the main p+/n junction. Edge termination is a technology for mitigating this phenomenon, and major technologies have been developed based on Junction Termination Extension (JTE) or Floating Field Ring (FFR). Previously, the focus was on optimizing the ring design to obtain a stable electric field distribution by adjusting process parameters such as doping concentration and width. Although the chip size of SiC MOSFETs is smaller than those of Si, the portion of the edge termination area compared to the total chip size cannot be ignorable. Up to date, the dynamic switching behavior of SiC MOSFETs considering the termination region has rarely been studied. The parasitic capacitance of SiC MOSFET can be divided into input capacitance (C_{iss}), output capacitance (C_{oss}), and reverse transfer capacitance (C_{rss}). In particular, if the edge termination size is comparable to the active size (smaller chip), the drain-to-source capacitance (C_{DS}) caused by the edge termination will lead to a substantial switching loss. In this study, we use an active-edge termination united mixed-mode simulation method to investigate the effect of the parasitic capacitance in the termination region for dynamic switching characteristics. As the ratio of the active/edge area increases (decrease in the resistance), the C_{DS} portion by the edge termination is gradually decreased. As the total chip size increases, the increase in the active area is larger than that of the edge termination. The dynamic switching results also show that the significantly larger C_{DS} current from the active region than that of the edge termination.

Keywords:

Edge termination,
Output capacitance,
Dynamic switching,
SiC MOSFET

a. Corresponding Author ; H.kang@kentech.ac.kr

On the Physical Analysis of Gate Oscillation of 4H-SiC MOSFET's Inductive Switching

송상윤, 강혜민^a
Sangyun Song, Hyemin Kang^a

한국에너지공과대학교

Abstract:

SiC-MOSFETs can handle higher voltage and current densities than Si-MOSFETs, support faster switching speeds, and have higher operating temperature ranges. Recently, SiC MOSFET has become more important as products such as chargers and inverters for vehicles using SiC MOSFET, solar inverters, and industrial inverters have been commercialized.

But accurate physical analysis of dynamic switching of SiC MOSFETs has not been yet confirmed to date. This study provides a dynamic switching physical analysis of SiC power device using a five-terminal method. For five terminals the gate is divided into gate-to-sources and gate-to-drains, and the source is split into n⁺ (channel current) and p⁺ (drain-to-source displacement current), respectively. Conventional three-terminal (gate, drain, and source) analysis has limitations in examining current movement over time. It accurately analyzes the mechanism of displacement current and current spike phenomena owing to the parasitic inductances during switching on/off through the five-terminal method. It also defines the potential shift according to the source inductance and provides an analysis of the gate oscillation. The simulation results is compared with the real measurement data as well.

Keywords:

SiC MOSFET,
Inductive Switching,
Gate oscillation

a. Corresponding Author ; h.kang@kentech.ac.kr

PVT법으로 성장한 HPSI-SiC 단결정의 고유 점결함 농도에 따른 저항 특성 연구

나준혁¹, 이하린¹, 강민규¹, 이기욱¹, 최예진¹, 장연숙¹, 박미선¹, 김우연², 이규도², 이원재^{1a}
 Jun Hyuck Na¹, Ha Lin Lee¹, Min Gyu Kang¹, Gi Uk Lee¹, Ye Jin Choi¹, Yeon Suk Jang¹,
 Mi Seon Park¹, Woo Yeon Kim², Gyu Do Lee², Won Jae Lee^{1a}

¹동의대학교 ²(주)케이씨인더스트리얼

Abstract:

반절연 SiC는 전기전도도가 매우 낮고 고저항($>10^6 \Omega\text{cm}$)특성을 나타내기에 고전력 전자장치, RF 장치, 내방사선 전자 장치, 광전자 장치 등 광범위한 응용 분야에서 중요한 소재이다.

이러한 반절연 SiC 단결정을 성장하려면 바나듐을 도핑하거나 high-purity SiC 분말을 이용하여 반절연 특성을 구현할 수 있다 [1]. 전자의 경우 back gate effect와 1,000°C 이상의 온도에서 전도성이 나타나는 문제가 발생하므로 [2], high-purity SiC 분말로 성장한 반절연 SiC가 필요한 상황이다. High-purity SiC가 반절연 특성을 나타내는 매커니즘은 Intrinsic point defect 농도가 질소농도보다 높을 때 shallow level을 보상하고 deep level을 형성하는 것으로 알려져 있다.

본 연구에서는 high-purity β -SiC 분말을 사용하여 PVT(physical vapor transport)방법으로 성장한 반절연 SiC 단결정의 intrinsic point defect 농도에 따른 저항특성에 대한 연구를 진행하였다. β -SiC 분말은 CVD (chemical vapor deposition)방법으로 제조된 β -SiC를 전처리 공정 후 ball mill 장비를 통해 2.5mm의 평균입자크기를 갖는 β -SiC 분말을 준비하였다. 또한 high-purity 특성을 확인하기 위해 SIMS (secondary ion mass spectrometry)와 ICP-MS (inductively coupled plasma mass spectrometry) 분석을 통해 β -SiC 분말의 불순물 유무와 농도 등 품질을 확인하였다.

Intrinsic point defect 농도를 변화하기 위해서 성장 후 냉각속도를 30°C/min, 100°C/min으로 변경하여 조절하였다. 성장된 결정은 UV/VIS/NIR (ultraviolet-visible/near-infrared spectroscopy) 분석을 이용하여 투과/흡수 스펙트럼을 분석하고 XRD(X-ray diffraction)와 Rocking분석을 통해 X-ray 회절 패턴과 결정성을 확인하였다. 또한 비저항 특성을 분석하여 intrinsic point defect의 농도에 따른 저항특성의 상관관계를 체계적으로 조사하였다

Keywords:

SiC,
 PVT,
 Semi-insulating,
 High-purity,
 Intrinsic point defects

a. Corresponding Author ; leewj@deu.ac.kr

Design Optimization and Single Event Burnout (SEB) Characteristic of 1.2 kV Class SiC MOSFET Edge Termination Structure

서재희^{1a}, 문정현¹, 김형우¹, 윤영준², 정하빈¹, 김영조¹

Jae Hwa Seo^{1a}, Jeonghyun Moon¹, Hyoungwoo Kim¹, Young Jun Yoon², Habin Jeong¹, Youngjo Kim¹

¹한국전기연구원 ²한국원자력연구원

Abstract:

본 논문은 실바코 전산모사를 기반으로 1.2 kV 급 SiC planar MOSFET에 적용되는 FLR 타입의 edge termination 구조 최적화 및 최적 설계를 수행하고, 해당 영역의 SEB (single event burnout) 에 의한 항복전압 열화 현상을 확인한 연구이다.

첫 번째로 1.2 kV 급 SiC planar MOSFET edge termination 구조 최적화는 본 연구원이 기 제작 하여 설계 변수가 정립된 SiC planar MOSFET 을 기반으로 최적화 설계를 수행하였다.

Edge termination 최적화를 위한 대표 설계 변수로 링 개수, 링의 폭, 링 간격, 링 간격의 마진을 선정하였다. 링 개수와 간격의 지속적인 증가는 최종적으로 제작되는 cell의 크기와 비례하므로 net die 증가로 인한 수율에 부정적인 영향을 줄 수 있기에 최적 항복전압이 획득가능한 trade-off 영역을 고려하여 최적화를 수행하였다. 링 간격의 경우, 일정 수준 이하의 증가는 최외각 링이 전계 분산 역할을 수행하지 못하기 때문에 대표 설계 변수로 선정하였다.

기 설계 변수를 기반으로 다양한 case 를 선정하여 최적의 항복전압 성능을 나타냄과 동시에 실제 실험에서 공정 변수를 (포토조건, 이온주입마스크의 식각 조건 등) 고려하여 설계 최적화를 완료하였다. 두 번째로 항공/우주 전장 부품에서의 우주 방사선에 의한 소자 열화 성능을 검토하기 위하여 최적화된 edge termination 설계에서의 SEB 시뮬레이션을 추가로 진행하고 특성을 살펴보았다.

본 연구에서 SEB 시뮬레이션은 극한 환경을 기준으로 상대적으로 높은 수준의 linear energy transfer (LET) ($>0.1 \text{ pC}/\mu\text{m}$) 를 가지는 조건으로 수행되었으며, 소자 내부 recombination 에 의한 항복전압의 열화 범위를 추출하였다.

실험 결과, heavy ion radiation에 의하여 소자 내부 열화가 발생하여 recombination에 의한 항복 전압 성능이 일정 수준 이하로 감소하는 영향을 확인할 수 있었다.

Keywords:

SiC,
MOSFET,
Edge termination,
Single event burnout

a. Corresponding Author ; jaehwaseo@keri.re.kr

Design and Investigation of 4H-SiC Split-gate Trench VDMOSFET

전가연, 안태경, 이태희, 박세림, 구상모^a

Ga-Yeon Jeon, Tae-Kyeong Ahn, Tae-Hee Lee, Se-Rim Park, Sang-Mo Koo^a

광운대학교

Abstract:

Silicon Carbide (SiC) has been widely used and studied in power electronics technology due to its high bandgap (~ 3.26 eV) and high critical electric field (~ 3 MV/cm). SiC-based devices have been proposed, such as Trench Metal-Oxide-Semiconductor Field-Effect-Transistors (UMOSFETs) with high specific ON-resistance ($R_{on,sp}$). Furthermore, the problem of decreasing breakdown voltage (BV) and switching speed has been overcome by the improved split gate structure.

Recently, devices with Floating Islands (FLI) structure have been developed to meet the demand for even higher BV devices. The FLI is inserted into the drift layer to increase BV and decrease gate-drain charge (Q_{GD}) in UMOSFETs.

In this work, we demonstrate that the FLI structure provides higher BV than the conventional SiC Split-Gate Trench Vertical-Double-Diffused Metal-Oxide-Semiconductor Field-Effect-Transistor (SGT VDMOSFET) structure, which offers improved Baliga's Figure of Merit (BFOM) with lower $R_{on,sp}$ for achieving the same BV. The doping concentration, length, position, and width of the FLI were optimized to analyze the electric field and to present the BV trend according to the variables. Each variable was selected in order through the split gate optimization process. The SiC SGT VDMOSFET structure was designed using Silvaco TCAD simulations, and device optimization was performed with consideration of BV and $R_{on,sp}$. These results show good potential for related device structures.

Keywords:

Baliga's Figure of Merit,
Silicon Carbide,
Floating Islands (FLI),
SGT VDMOSFET,
TCAD

a. Corresponding Author ; smkoo@kw.ac.kr

Optimization of MPS Diode Performance Through Variation of Parameters

박승현, 김한별, 윤주은, 권예은, 이태희, 박세림, 구상모^a

Seung-Hyeon Park, Han-Byeol Kim, Ju-Eun Yun, Ye-Eun Kwon, Tae-Hee Lee, Se-Rim Park, Sang-Mo Koo^a

광운대학교

Abstract:

Wide Band Gap material such as Silicon Carbide (SiC) has appeared as a good material for high-frequency and high-power applications due to its superior material properties, such as higher breakdown voltage, BV wider bandgap, and lower specific on-resistance($R_{on,sp}$). SiC-based devices offer several advantages over traditional silicon-based devices, including higher efficiency, higher power density, and better thermal performance. However, Further research is needed to improve performance of SiC-based devices.

Merged Pin Schottky Diode (MPS) are an important SiC-based devices that are widely used in power electronics. MPS diodes can provide several benefits, such as fast switching speed, low conduction loss, and high reliability. However, the performance of MPS diodes is heavily dependent on the design and fabrication process. Therefore, there is a need for research to optimize the design and fabrication process of MPS diodes for improved device performance.

In this paper, we propose a simulation-based optimization study of the epi depth, epi doping concentration, and p-well doping concentration in MPS diodes. We will use Silvaco TCAD software to simulate the device characteristics and optimize the epi and p-well doping concentrations for maximum BV and lowest $R_{on,sp}$. Our goal is to investigate the effect of epi depth and doping concentration, as well as p-well doping concentration, on the performance of MPS diodes and propose an optimized design for improved device performance. We will compare each performance of MPS diodes using the figure of merit (BFOM). The proposed research will contribute to high-performance SiC-based power devices, which can lead to significant benefits in terms of system performance.

Keywords:

SiC,
MPS,
BFOM,
P+Ohmic,
TCAD

a. Corresponding Author ; smkoo@kw.ac.kr