



S I C S E M I C O N D U C T O R C O N F E R E N C E

---

발표 논문 초록

# Paper Abstracts

---

## 초청강연 및 구두 발표 논문 초록

Plenary, Invited  
& Oral Abstracts

Plenary

6.30 WED 11:10

### Current Status of SiC Wafer Manufacturing for Power Device Application and Its Key Challenges to be Addressed

노보루 오타니<sup>a</sup>

Noboru Ohtani<sup>a</sup>

*Kwansei Gakuin University*

**Abstract:** Silicon carbide (SiC) is the leading candidate among the wide bandgap semiconductor materials for next-generation power semiconductor devices. Over the last decades, we have witnessed significant progress in the quality improvement of SiC single crystal wafers, which has made a reality the fabrication of high-performance SiC power devices. 4H-SiC wafers of 100 and 150 mm diameters with a low dislocation density have already been brought to market and using these substrates, high-performance SiC power devices are fabricated. However, widespread commercialization of the devices is still hindered by technological issues related to SiC crystal growth, and thus it is abundantly clear that further successful development of the SiC semiconductor technology relies on achieving an understanding of SiC crystal growth process and, based on it, improving the manufacturing technology of large high-quality SiC substrates.

The first part of this presentation is aimed at overviewing the current status of the manufacturing technology of SiC wafers and their market outlook. SiC power devices have already been adopted to a wide range of power electronics systems. SiC SBDs hold a leading position in the power diode market for certain applications, and SiC MOSFETs, commercially available for several years, are gaining the confidence of numerous customers and have clearly begun to penetrate into several power device markets, including the automotive industry. These rapidly growing SiC device markets strongly require sufficient and stable supply of high-quality SiC wafers. However, the current situation of SiC wafer manufacturing cannot fully meet the requirement and needs to be promptly improved. In this presentation, I will sort out problems with the current SiC wafer manufacturing technology and point out key issues in solving these problems.

The second part of the presentation is dedicated to studies of the dislocation formation during physical vapor transport (PVT) growth of SiC. Currently, commercially available SiC wafers are almost always grown by the PVT growth method. The dislocation formation during the PVT growth of SiC crystals is still a major obstacle for realizing high-quality SiC wafers and high-performance SiC devices made on them. For examples, threading screw dislocations (TSDs) degrade the blocking capabilities of SiC diodes, whereas BPDs have a serious impact on the reliability of unipolar devices such as SiC MOSFETs as well as SiC bipolar devices. Therefore, significant efforts have been dedicated to the reduction of TSD and BPD densities in 4H-SiC crystals over the decades. However, the fundamental aspects of dislocation formation during PVT growth of SiC are still largely unclear, and the strategy for achieving stable and cost-effective manufacturing of SiC wafers is not yet well-established. In this part of the presentation, I will talk about our recent studies on this issue and discuss the formation mechanisms of dislocations during the PVT growth of 4H-SiC crystals.

**Keywords:** Crystal growth, wafer manufacturing, PVT, dislocation

a. Corresponding Author ; ohtani.noboru@kwansei.ac.jp

## 초청강연 및 구두 발표 논문 초록

Plenary

7.1 THU 9:30

### The Road Ahead for SiC - Beyond 2020

아난트 아가왈<sup>a</sup>

Anant Agarwal<sup>a</sup>

*The Ohio State University*

**Abstract:** The advent of the SiC Foundry model in the US began with XFAB in Lubbock, Texas in 2015 program under PowerAmerica, funded by the Department of Energy. Through this work, it was demonstrated that SiC devices could both technically and economically be manufactured in an otherwise obsolete Si foundry with Si device standards (0.35 micron minimum dimension). This has since blossomed into a global engineering model resulting in saving outdated Si foundries from closure and extending their useful life by 10-15 years.

It takes approximately, \$15 M worth of equipment to convert a Si CMOS foundry line into a SiC one with the capability of manufacturing power MOSFETs and Schottky Diodes from 600 V to approximately 15 kV. Today, worldwide, various silicon fabs are in the process of converting 150 mm lines into SiC lines with many traditional power device companies either converting their own Si fabs or using other foundry services. The main advantage of using an already established Si line are economical, reaping savings in capital investments as well as lowering the cost of the fabrication process. This is especially true when both high volume Si and low volume SiC wafers can share the same line with a few exceptions in processing equipment.

SiC has already been successfully adopted in the power supply and PV converter industries and is rapidly making in-roads into the electric vehicle market. Their use has previously been established in on-board charging circuits. In traction applications, due to reductions in switching losses, roundtrip efficiency between the battery and wheels can be improved by approximately 6%. This can translate into 6% increased range on a given battery charge or a 6% smaller battery for a given range. Increased electric range brings more customer confidence and acceptance of the technology; smaller batteries mean lower cost, lighter vehicle weight, less structural requirements and associated monetary benefits from further light weighting. These are compelling advantages which will drive the adoption of SiC devices by electric vehicles opening up an approximately \$16 B opportunity over the next decade. This market will be key in driving up manufacturing volumes of SiC resulting in cost reductions. Currently, the cost of SiC devices is dominated by the SiC substrate and epitaxy primarily due to limited expertise in these areas to only a very few organizations. These costs will substantially decrease as new players come into the market lured by the high demand and potential business cases. As shown by Agarwal et al [1], SiC costs will approach 30% of Si costs on a per amp basis in the next 5 years with 200 mm SiC on the horizon.

All of the above predictions can be realized provided the following pressing problems in SiC technology are urgently addressed: (1) Defect Density in Gate Oxide, (2) Threshold Voltage Shift, (3) Threshold Voltage Variation, (4) Poor Surface Mobility, (5) Poor Short Circuit Withstand Time, (6) Body Diode Reliability

Some of the above issues can be solved by design and some require process development. Details of these challenges will be discussed during the upcoming presentation.

**Keywords:** SiC, power device, electric vehicle, efficiency

a. Corresponding Author ; Agarwal.334@osu.edu

## 초청강연 및 구두 발표 논문 초록

Plenary, Invited  
& Oral Abstracts

## Invited

## SiC Bulk Growth, Wafering and Epitaxy : Where We Are and What We are Looking for

정길룡<sup>a</sup>Gil Ryong Chung<sup>a</sup>

SK Siltron

**Abstract:** SiC has been selected as one of the most promising materials for future power electronics due to higher breakdown field, larger bandgap and higher thermal conductivity as compared to the incumbent Si material. For last four decades it has been going through significant growth from the pure R&D stage to commercial adaptations in large scale. Currently 150 mm wafers and epitaxy are widely introduced to the market by several key vendors and commercial 200 mm wafer production is imminent. Also market needs for SiC power conversion systems like inverters or fast charging stations for e-mobility are growing fast. SK Siltron CSS has been developing SiC materials for more than 20 years to meet or exceed market expectations/requirements and would like to share our recent progress and approaches in the following areas at the symposium.

**Keywords:** Bulk growth, Wafering, polishing, Epitaxy growth, Metrology

a. Corresponding Author ; gil.chung@sksiltron.com

## Invited

## 단결정 기판의 래핑 공정에서 그루브 밀도가 연마 특성에 미치는 영향

이태경, 김도연, 김형재<sup>a</sup>Taekyung Lee, Doyeon Kim, Hyoungjae Kim<sup>a</sup>

한국생산기술연구원

**Abstract:** SiC, GaN, Al<sub>2</sub>O<sub>3</sub>와 같은 단결정 전자재료 기판의 평탄화를 위해 사용되는 단면 래핑 공정은 기판의 평탄도를 결정하는 마지막 공정으로, 기판이 대구경화 됨에 따라 그 중요성은 더욱 커지고 있다. 래핑 공정에 대한 많은 연구가 수행되었지만 대부분은 공정 조건에 대한 연구로 연마 정반의 그루브 특성에 대한 연구는 미비한 실정이다. 본 연구에서는 그루브 밀도에 따른 연마 특성을 연구하기 위하여 그루브 밀도를 그루브 폭과 피치의 비율로 정의 하였으며, 그루브 밀도에 따른 기판의 재료제거율과 표면거칠기를 측정하였다. 연마 특성 변화를 분석하기 위하여 기판과 정반의 접촉계면에서 발생하는 마찰력과 유막두께를 분석하였다. 실험 결과 그루브 밀도가 증가함에 따라 재료제거율이 증가 하지만, 그루브 밀도 0.3 미만에서는 급격하게 감소하여 그루브 밀도 0.1에서는 0에 가까이 수렴하는 것을 확인하였다. 이는 그루브 밀도가 0.3일 경우 기판과 정반의 접촉계면에서 유막이 발달하여 연마특성이 급격하게 저하되는 그루브 밀도를 임계 그루브 밀도(critical groove density; CGD)로 정의하였으며, 본 논문에서 CGD는 0.3으로 나타났다. 마찰력 측정 결과에서도 CGD 미만에서 마찰력이 급격하게 낮아지는 것을 확인할 수 있다. 또한 CGD 미만에서는 일부 큰 연마 입자만이 연마에 참여하여 표면에 깊은 스크래치를 발생시켜 높은 표면거칠기를 보였다. 따라서 래핑 공정에서 그루브 밀도를 설계할 때에는 유막이 발달하지 않는 CGD 이상의 그루브 밀도로 설계하는 것이 중요하며, 그루브 밀도가 클수록 재료제거율이 증가하여 공정 시간을 단축할 수 있지만 기판과 접촉하는 정반 면적이 줄어들어 정반 수명이 단축되기 때문에 적절한 그루브 밀도 설계가 필요하다.

**Keywords:** Wafer, Lapping, Groove, Material removal rate, Oil film thickness

a. Corresponding Author ; hjakim@kitech.re.kr



## 초청강연 및 구두 발표 논문 초록

### Oral

#### 고품질 SiC 단결정 성장을 위한 용액성장 기술 개발

신윤지<sup>1a</sup>, 유용재<sup>1</sup>, 임수민<sup>1</sup>, 이승준<sup>1,2</sup>, 하민탄<sup>1</sup>, 이원재<sup>2</sup>, 이명현<sup>1</sup>, 배시영<sup>1</sup>, 정성민<sup>1</sup>

Yun Ji Shin<sup>1a</sup>, Yong-Jae Yu<sup>1</sup>, Su-Min Lim<sup>1</sup>, Seung-June Lee<sup>1,2</sup>, Minh-Tan Ha<sup>1</sup>, Won-Jae Lee<sup>2</sup>, Myung-Hyun Lee<sup>1</sup>, Si-Young Bae<sup>1</sup>, Seong-Min Jeong<sup>1</sup>

<sup>1</sup>한국세라믹기술원 <sup>2</sup>동의대학교

**Abstract:**실리콘 카바이드(SiC)는 다양한 와이드 밴드갭 반도체 소재 중에서도 우수한 물리적, 화학적 특성을 가지고 있으므로 극한 환경에서도 우수한 고효율 특성을 갖는 전력반도체용 소재로 주목받아 왔다. 현재까지 상용화에 성공한 SiC 단결정 기판 제법은 물리적기상증착법(PVT법)이 유일한데, 최근 들어 성장결정의 전위결함 밀도를 효과적으로 낮출 수 있어서 고품질 SiC 단결정 잉곳을 성장하는데 보다 유리하다고 알려진 상부종자 용액성장법(이하 용액법)이 PVT법의 대안책으로 주목받아 왔다. 그러나 용액법을 PVT법과 달리 성장을 위한 원료인 용융액의 상부가 분위기에 지속적으로 노출된 상태에서 단결정 성장이 이뤄지기 때문에 기화 및 결정화 현상으로 인하여 용융액의 조성이 시간에 따라 지속적으로 변하고, 그로 인해 발생하는 여러가지 문제점을 제어하는 것이 극히 어려워 다양한 공정 변수의 유기적인 관계성에 대한 깊은 이해를 바탕으로 최적화를 진행 해야 한다. 본 연구팀에서는 지난 수년간 SiC 용액법 기술개발 및 내재화를 위해 다양한 성장기법을 연구하고, 이를 최적화하기 위한 노력을 기울여 왔다. 실제 용액법 공정에서 자주 발생하는 문제점을 해결하기 위한 접근 방법을 제시하고, 본 연구팀에서 연구해 온 공정 최적화 노하우를 기반으로 최근 달성한 연구 결과를 소개하고자 한다.

**Keywords:**Silicon Carbide, Single Crystal, Quality Stabilization, TSSG

a. Corresponding Author ; shinyj@kicet.re.kr

## 초청강연 및 구두 발표 논문 초록

Plenary, Invited  
& Oral Abstracts

## Oral

## 단결정 결함분석을 위한 포항가속기연구소 회절영상기법 개발

김종현<sup>a</sup>, 김진아, 곽호재, 임재홍Jong Hyun Kim<sup>a</sup>, Jina Kim, Ho Jae Kwak, Jae-Hong Lim

포항가속기연구소

**Abstract:** 거대과학시설인 가속기를 이용하여 전자입자를 가속할 때에 발생하는 강한 세기의 방사광은 물리, 화학, 생물, 재료, 전자, 기계공학 등 다양한 분야에서 시료의 물리/화학적 구조 분석에 활용되고 있다. 전세계적으로도 에너지소재, 고기능성소재, 반도체, 항공, 화장품 등의 많은 산업 분야에서 기술경쟁력 확보를 위한 제품 개발 및 공정 개선 과정에서 방사광가속기를 활용한 다양한 연구가 진행되고 있다.

포항가속기연구소는 약 30여년 전 설립 이래 국내 유일의 방사광 기반 대형 연구시설로서 다양한 연구에 활용되어 오고 있으며, 최근에는 기초 과학뿐 아니라 여러 응용 과학 분야 등으로 활용성이 더욱 증대되고 있다. 현재 3세대 원형, 4세대 선형 가속기가 운영되고 있으며 3세대 원형 시설의 경우 36기의 빔라인이 동시 운영되며 선진 연구 및 분석에 이용된다. 이와 별도로 고효율 전력전자소자 및 고온/가속 환경에서의 안정적인 전자소자로의 이용을 위한 차세대 기관으로 탄화규소 단결정 기관 활용이 확장되고 있는데, 완벽한 단결정 성장 기술이 아직 확보되지 않아서 결정 결함이 나타나고 있다. 이러한 단결정 내의 결함은 전자 소자/시스템에서의 누설 전류, 소자 오작동 혹은 소자 결함 등으로 나타날 수 있기에 신뢰성 확보를 위한 고품질 단결정 성장 및 단결정 내부의 결함 분석이 더욱 중요해지고 있다. 앞서 언급한 방사광을 이용한 여러 분석 기법 중에서 이러한 단결정 내의 결함 분석을 위한 회절 영상 기법 혹은 X-선 토포그래피 분석 기법이 존재한다. 비파괴적으로 단결정 내부 품질 및 결정 결함 분포를 고휘도 방사광 X-선을 활용하여 매우 빠르고, 직관적으로 가시화할 수 있으며 이를 통하여 탄화규소를 비롯한 단결정 품질 및 결정 결함 분석 기술로의 활용이 가능하다. 본 연구에서는 포항가속기연구소에서의 방사광을 활용한 X-선 토포그래피 분석 기법의 장치 개발과 기술 현황을 소개하고, 더 나아가 첨단 분석 및 소자 평가 등을 위한 다양한 방사광 활용 분석 기술을 보여주하고자 한다.

**Keywords:** 단결정, 결함분석, 방사광, X-선

a. Corresponding Author ; kjh9818@postech.ac.kr

## 초청강연 및 구두 발표 논문 초록

### Oral

#### 이미지 분석 소프트웨어를 활용한 SiC 단결정 기판의 극성표면 특성의 정량적 분석

김정곤<sup>a</sup>

Jung Gon Kim<sup>a</sup>

WaferMasters, Inc.

**Abstract:** SiC는 Si원자와 C원자 각각의 최외각전자를 공유하는 강한 공유결합성 물질인 동시에 극성반도체로 Si면과 C면의 두 가지 극성면이 존재한다. SiC기판을 다룸에 있어서 출처가 불분명하거나 양면 폴리싱된 SiC 단결정기판의 면극성을 빠르게 판별하기는 쉬운 일이 아니다. 광원을 이용한 각 극성면에 따른 광학 스펙트럼 차이를 분석하는 것도 한계가 있다. 일반적으로 SiC 극성표면의 Si면과 C면의 산화속도 차이를 이용하여 면극성의 판별이 가능하지만 추가적인 시간과 비용이 소요되게 된다. 본 연구에서는 다양한 결정다형의 SiC 단결정기판에 대해 DI Water Droplet을 이용한 접촉각 측정을 통해 빠른 면극성 판별방법을 제안하였고 표면처리를 통해 인위적으로 자연 산화막을 제거한 후 시간변화에 따른 접촉각의 변화를 추적해 보았다. 이미지 프로세싱 소프트웨어(PicMan, WaferMasters, Inc.) 활용하여 각 극성표면 위의 DI Water Droplet의 측면이미지로 부터 접촉각, 지름, 폭, 높이, 면적 등의 수치정보를 정량적으로 도출하였다. 극성면인 Si면과 C면, 비극성면인 A면과 M면에 대한 접촉각 분석과 다양한 결정다형의 SiC단결정기판 간(SiC-to-SiC) 및 결정다형이 공존하는 SiC 단결정 기판 내 (within-SiC)에서의 접촉각 분석을 실시하였다. 극성표면의 존재하는 자연산화막(native oxide layer) 영향을 살펴보기 위해 플라즈마 및 BOE (buffered oxide etchant)를 이용한 표면처리를 실시하고 24시간 이상 상온에 노출시킨 후 접촉각의 변화를 추적하였다. 추가적으로 SiC 단결정 결정다형에 따른 표면 포텐셜 에너지와의 상관관계에 대해서도 소개하고자 한다. 본 연구를 통해 SiC 단결정 성장 준비 및 소자제작 단계에서 빠르고 정확한 SiC 단결정 극성 판별이 가능한 것을 확인하였다. SiC 단결정 표면처리 후 자연산화막이 생성되기까지 표면 상태가 빠르게 변화하는 것은 소자 제작 공정 단계에서 공정 시간의 관리가 중요하다는 것을 시사한다. 이미지 분석을 통한 SiC 단결정 기판 표면의 접촉각 분석법은 결정성장 및 소자제작을 위한 양산라인에서 빠르고 신뢰성있는 극성면 판별은 물론 다양한 결정다형의 표면 특성을 분석하는데 적극 활용될 수 있을 것으로 기대된다.

**Keywords:** SiC, 접촉각, 결정다형, 극성, 표면에너지

a. Corresponding Author ; junggon.kim@wafermasters.com

## 초청강연 및 구두 발표 논문 초록

Plenary, Invited  
& Oral Abstracts

## Invited

## Review of SiC Technology Development Status

박경석<sup>a</sup>Kyeong Seok Park<sup>a</sup>*ON Semiconductor*

**Abstract:** Silicon is the most widely used semiconductor material for power devices. However, Si-based power devices are approaching their material limits now. In order to replace this Si with better performance, the rapid innovations and developments in the semiconductor industry has been conducted. And Silicon Carbide is emerging as a next-generation to replace Si because of its low-losses in the application thanks to superior high temperature, high frequency and high voltage performance when compared to silicon.

In order to replace Si power devices, Silicon Carbide diodes are already commercially released before around 15 years and have gained significant market share in power supply and solar converter applications. And Silicon Carbide MOSFETs are firstly released at 2011 by CREE in the industrial market. These Silicon Carbide power devices give highest efficiency, higher switching frequencies, reduced heat dissipation and space savings in the high power industrial market.

In this presentation, Silicon Carbide Technology development status will be presented. Many companies try to get highest revenue in SiC Market with their own state-of-art SiC products. So SiC market status also will be presented shortly.

**Keywords:** Silicon Carbide, MOSFET, Semiconductor industry, Diode, Switching

a. Corresponding Author ; ks.park@onsemi.com

## 초청강연 및 구두 발표 논문 초록

### Oral

#### 탄화규소 금속-산화막-반도체 커패시터의 계면 특성에 대한 고온 산화 및 질화처리 효과

문정현<sup>1a</sup>, 김인규<sup>1,2</sup>, 김형우<sup>1</sup>, 방욱<sup>1</sup>, 박기철<sup>2</sup>, 양창현<sup>3</sup>, 강예환<sup>3</sup>

Jeong Hyun Moon<sup>1a</sup>, In Kyu Kim<sup>1,2</sup>, Hyeong Woo Kim<sup>1</sup>, Wook Bahng<sup>1</sup>, Ki Cheol Park<sup>2</sup>, Chang Heon Yang<sup>3</sup>, Ye Hwan Kang<sup>3</sup>

<sup>1</sup>한국전기연구원 <sup>2</sup>경상대학교 <sup>3</sup>에스파워테크닉스

**Abstract:** 4H-SiC 위에 고온( $\geq 1300$  °C) 게이트 산화막을 성장시킨 후 고온( $\geq 1300$  °C) 질화 열처리를 진행하였고 NO 가스 비율(0-100 %)에 따른 4H-SiC MOS 게이트 산화막 계면 결함 제어 효과를 전기적, 물리-화학적으로 평가하였다. Interface trap density (Dit)는 NO 50 %까지 효과적으로 감소했다가 다시 증가하는 경향을 보였다. Effective oxide charge density (Qeff)는 NO 열처리 전에는 negative Qeff 특성을 보였다가 NO 열처리 시 NO 비율 증가에 따라 negative 에서 positive로 변하였고 이후 positive Qeff가 증가하는 경향을 나타내었다. 한편 F-N plot을 통해 확인된 barrier height는 NO 비율(0 %, 10 %, 50 %, 100 %)에 따라 각각 2.40, 2.67, 2.62, 2.57 eV 로 확인되었다. NO 10 % barrier height가 가장 높았고 이상적인 값에 근접한 우수한 특성을 보였다. Time of Flight Secondary Ion Mass Spectroscopy (TOF-SIMS)를 이용하여 NO 가스 비율(0-100 %)에 따른 게이트 산화막 계면에서 Si-N, Si-O-N 분포를 확인하였다. Si-N maximum intensity는 NO 50 %까지 증가하다가 NO 100 %에서는 감소하였다. 이러한 결과는 NO 비율 증가에 따른 Dit의 변화 경향과 유사했다. 이때 NO 50 %에서 Si-N이 증가된 것은 산화막 계면에서 NO 분자가 SiOxCy와 효과적으로 반응했기 때문이다. 또한 Si-O-N maximum intensity는 NO 가스 비 증가에 따라 계속 증가되는 경향을 보였다. 이는 NO 비율 증가에 산화반응도 증가된다는 것을 나타낸 것으로 산화와 질화 반응의 평형상태가 깨져 Si-O-N maximum intensity가 증가된 것으로 판단된다. 산화막 계면에서 이러한 Si-O-N의 증가로 positive Qeff가 증가되고 이때 만들어진 donor-like trap이 barrier height 를 감소시킬 수 있는 것으로 확인되었다.

**Keywords:** high temperature, oxidation, nitridation, 4H-SiC, interface

a. Corresponding Author ; jhmoon@keri.re.kr

## 초청강연 및 구두 발표 논문 초록

Plenary, Invited  
& Oral Abstracts

## Oral

## 초박형 4H-SiC junction Barrier Schottky Diode의 전기적 특성에 관한 연구

김기현, 강예환, 윤승복, 박현, 천상익, 박주아, 서민설, 양창현<sup>a</sup>Ki Hyun Kim, Ye Hwan Kang, Seung Bok Yun, Hyeon Park, Sang Ik Cheon, Ju A Park, Min Seol Seo, Chang Heon Yang<sup>a</sup>

(주)에스파워테크닉스

**Abstract:** SiC(Silicon carbide) JBS(Junction Barrier Schottky) 다이오드 소자에서 온-저항은 애노드 & 캐소드 금속 전극, 쇼트키 접합층 저항, 에피층(epitaxial) 저항, 기판(Substrate) 저항, SiC-금속간 접촉저항으로 구성되어 있다. 온-저항을 감소하기 위해서는 설계적으로 에피층의 농도와 쇼트키 영역의 크기를 조절하는 등의 전체적인 설계의 최적화가 필요하지만, 설계를 구현하기 위한 공정적인 한계가 있다. 효과적인 온-저항 감소를 위해 SiC-금속 간의 접촉 저항 감소 기술과 기판의 두께를 감소하여 기판 저항을 감소하는 기술이 필요하다.

SiC-금속 간 접촉저항 감소 기술은, 물성적으로 SiC-금속 간의 접촉 저항이 높아 SiC 파워반도체에서 온-저항이 증가하기 때문에 Silicide 공정을 통하여 접촉저항을 감소하는 공정이 반드시 필요하다. 하지만, BSG(Back Side Grind)가 공이 적용된 초박형 웨이퍼에서 silicide 공정을 진행하기 위해 일반적인 RTP(Rapid Thermal annealing Process) 공정을 적용할 경우 금속 열처리 과정 중 열충격으로 인하여 파손될 수 있으며, 또한, 높은 열처리 온도를 견딜 수 있는 쇼트키 금속의 선택이 제한된다. 우리는 사전 연구를 통하여 SiC 파워반도체 소자의 silicide 공정에서 RTP를 대체할 laser 열처리의 기초 실험을 완료하였으며, 그 결과 laser energy 2.5Jcm<sup>2</sup> 이상에서 RTP보다 낮은 접촉저항을 구현하는 조건을 확보하였다.

SiC BSG 가공 기술은, SiC의 경도가 Si(Silicon) 보다 약 3.5배 높기 때문에 기판을 가공할 때 깨짐, 휨, 뒤틀림 등을 제어하여 가공이 필요하다. 우리는 웨이퍼 두께 200 $\mu$ m이하로 가공 할 수 있는 BSG 조건을 확보하였으며, 650V 20A 4H-SiC JBS(junction Barrier Schottky) 다이오드에 BSG 공정을 적용, Silicide는 RTP공정을 대체하여 laser 열처리 공정을 적용하여 소자를 제작하였다.

본 연구에서는 동일한 공정 조건으로 상부 전극(Schottky/Anode 전극)공정까지 완료한 후 BSG 공정을 통하여 웨이퍼 두께 100, 150, 310 $\mu$ m로 가공, laser 열처리를 적용하여 각 조건의 전기적 특성을 확인하였다. 최적 조건은 웨이퍼 두께 100 $\mu$ m에서 수율 93%의 결과를 나타내었다. 기존 웨이퍼 두께 350 $\mu$ m와 RTP로 열처리한 시료보다 웨이퍼 두께 100 $\mu$ m로 가공하고 laser 열처리 진행한 시료에서 전류밀도가 61% 특성 향상을 구현하였다. 본 연구 결과를 통하여 향후 MOSFET 등 SiC 파워반도체, 온-저항이 감소된 소자를 제작할 수 있는 기초 자료로 활용할 수 있을 것으로 예상된다.

**Keywords:** SiC, Diode, Thinning, Laser anneal, Silicide

a. Corresponding Author ; [chyang@ypt.co.kr](mailto:chyang@ypt.co.kr)



## 초청강연 및 구두 발표 논문 초록

Oral

### SiC P-Shielding Trench Gate MOSFET의 고온 역바이어스(HTRB) 시험 결과 및 전기적 특성변화에 관한 연구

서정윤, 남태진, 김은하, 전준혁, 김화현, 경신수<sup>a</sup>

Jeongyun Seo, Taejin Nam, Eunha Kim, Joonhyeok Jeon, Hwahyun Kim, Sinsu Kyoung<sup>a</sup>

파워큐브세미(주)

**Abstract:** SiC MOSFET은 기존의 Si MOSFET보다 높은 항복 전압과 열전도율을 갖으며 고속 스위칭의 장점을 갖는 차세대 전력반도체 소자이다. 최근에는 이러한 SiC MOSFET의 ON 저항 특성을 개선하여 높은 전류 밀도를 달성하기 위해 SiC Trench Gate MOSFET이 지속적으로 개발되고 있다. 그러나 SiC Trench Gate MOSFET은 Gate Oxide가 취약하여 고전압에 따른 높은 전계를 버티지 못한다는 문제점이 있다. 이는 낮은 항복전압 야기하며 소자의 신뢰성 측면에서 반드시 개선되어야 하는 문제이다.

본 연구에서는 위의 문제를 개선하기 위해 트렌치 게이트 산화물 아래에 P+ Shielding 영역을 적용하여 1200V 급 SiC P-Shielding Trench Gate MOSFET을 제작하였다. 그 후 고온 역바이어스(HTRB)시험에 투입하여 측정 전/후 데이터를 비교하여 분석한 결과를 분석한다. 테스트 조건은 온도 150도,  $V_r = BVDSS$ , 측정된 시간 간격 = 0hr, 200hr, 400hr, 600hr이며 비교 파라미터는 항복 전압, 임계 전압 그리고  $R_{DSon}$ 이다. 시험 결과에 따르면 제작된 1200V급 SiC P-Shielding Trench Gate MOSFET은 문턱 전압에서 약 2.3 %의 열화율을 보였고, 비교 제품은 약 5%의 열화율을 보였다. 이와 관련하여 제작된 SiC P-Shielding Trench Gate MOSFET이 더 나은 신뢰성 테스트 결과를 가지고 있음을 확인할 수 있었다.

본 논문의 실험 결과 1200V급 SiC P-Shielding Trench Gate MOSFET의 HTRB 테스트에 따른  $V_{th}$  변동을 확인할 수 있었다. 또한, HTRB 테스트에 한정하여 제작된 SiC Shielding Trench Gate MOSFET은  $V_{th}$  저하율에 대해 타사 대비 더 나은 신뢰성 테스트 결과를 보여주었다.

**Keywords:** SiC, SiC Device, Reliability, SiC MOSFET, Trench gate

a. Corresponding Author ; sskyoung@powercubesemi.com

## 초청강연 및 구두 발표 논문 초록

Plenary, Invited  
& Oral Abstracts

## Invited

## SiC 파워모듈용 가압형 Ag 소결 접합 기술 연구

홍경국<sup>a</sup>, 김영석Kyoung-Kook Hong<sup>a</sup>, Young Seok Kim

현대자동차

**Abstract:** 최근 환경적 이슈와 더불어 친환경 자동차의 수요가 점차 높아지고 있어, 친환경 자동차용 전력변환시스템의 핵심 구성요소인 파워모듈은 전력반도체 산업에서 급성장하는 분야 중의 하나로 인식되고 있다. 또한 전력변환시스템의 발생 손실 저감과 동작 온도 상승을 목적으로 SiC MOSFET 소자의 파워모듈 적용이 점차 확대되고 있는데, 이러한 적용은 칩 접합부의 내구 수명 저감 및 발열 밀도 증가 등의 여러 패키징 문제들을 야기하고 있어, 현재보다 향상된 패키징 소재 및 공정 기술의 적용을 필요로 하고 있다. 이에 본 연구에서는 파워모듈용 패키징 기술로서의 Ag 소결 접합 기술의 적용 가능성을 검토하기 위해, 가압형 Ag 소결 접합이 적용된 SiC 칩 접합부를 제작하여 특성을 평가하고, 해당 접합 기술이 적용된 모듈을 제작하여 성능 평가를 진행하였다. 소결 접합부 형성을 위해 250°C 이상의 온도에서 칩 당 약 10 MPa의 가압 조건으로 소결 공정을 진행하였고, 이를 통해 평균 두께 약 25 $\mu$ m, 그리고 평균 전단 응력 약 44.3 MPa가 구현되는 소결 접합부를 구현하였다. 또한, 형성된 소결 접합부는 200°C 고온 방치 및 -40~175°C 조건의 열충격 시험 후에도 40 MPa 이상의 전단응력 특성을 유지하고 있음을 확인하였고, 가압형 Ag 소결 접합 기술이 적용된 SiC 파워모듈의 요구 특성이 고온 방치, 열충격 시험, 파워사이클 시험 후에도 큰 저감 없이 안정적으로 유지되고 있음을 확인하였다.

**Keywords:** Power module, SiC MOSFET, Ag sintering, Die attach, Ag film

a. Corresponding Author ; kkhong@hyundai.com

## Oral

패키지 내부 구조 피로 개선을 위한 신개념의 양면방열기판 패키지 구조  
(Advanced DSC (double side cooling) Package to Improve the Package Internal Stress)최윤화<sup>1</sup>, 배현철<sup>2a</sup>Yunhwa Choi<sup>1</sup>, Hyun-Cheol Bae<sup>2a</sup><sup>1</sup>제엠제코(주) <sup>2</sup>한국전자통신연구원

**Abstract:** 전기차 및 신재생에너지 등 전력용 반도체의 활용도가 많아 짐에 따라 시장은 고효율 및 고성능의 전력용 반도체 필요성이 그 어느때 보다 필요하게 되었다. 특히 고효율 및 고성능의 전력용 반도체를 위해서는 반도체 칩을 탑재하는 반도체 패키지 구조의 신 개념 변화가 필요하고 또한 가격경쟁력이 있는 패키지 소재의 사용과 이에 따른 단순 패키지 조립 공정개발이 더욱 중요하게 되었다.

종래의 많은 패키지 구조와 조립 공정기술이 있지만 단면 방식의 열전달 구조로 인한 한계점과 이를 극복하기 위한 단면방식의 고 방열 패키지 구조를 사용시 패키지 제작비용이 상승하는 문제가 발생 할 수 있다. 이에 상기 문제의 대안으로 양면 방열기판 방식의 전력용 반도체 (이하 DSC 패키지) 패키지의 필요성이 대두 되어 많은 패키징 회사가 DSC 패키지 개발에 총력을 기울이고 있다. 현재 DSC 패키지의 주요 BOM (base of material) 은 기판 (금속 혹은 절연), 반도체칩 접합소재 (솔더 혹은 신터), 반도체 칩 연결 소재 ( 금속 혹은 복합소재 Spacer ), Flip chip 본딩 방식 혹은 와이어 스페이스 연결 방식 등 다양한 패키지 구조방식의 BOM으로 개발 및 양산을 하고 있는 상황이다. 이러한 DSC 패키지는 그 구조에 따라 대량 양산시 공정 작업성 개선이 필요 하고 또한 구조에서 오는 stress를 해소 하기 위해 소재의 물성을 변화시키는 등 다양한 노력을 하고 있다.

이제 본 기술 발표 보고서를 통하여 현재 개발 및 양산중인 회사들의 다양한 DSC 패키지를 비교 해보고 또한 현재 DSC 패키지 구조의 문제점을 해결 하기 위한 MJM Korea 에서 개발중인 DSC 패키지 ( clip 본딩형 DSC 패키지) 의 구조와 장점을 살펴 보기로 한다.

**Keywords:** DSC package, DBC, AMB, Spacer, Clip

a. Corresponding Author ; hcbae@etri.re.k

## 초청강연 및 구두 발표 논문 초록

Plenary, Invited  
& Oral Abstracts

Oral

## EV 파워 모듈용 고방열 Sintering 소재 무가압/가압 접합 및 모듈 적용

배현철<sup>a</sup>, 오애선, 박은영, 김동환, 김경현Hyuncheol Bae<sup>a</sup>, Aesun Oh, Eun-Young Park, Dong-Hwan Kim, Kyung-Hyun Kim

한국전자통신연구원

**Abstract:**자동차 분야에서는 기존의 내연 기관 자동차에서 친환경 자동차 특히 HEV, EV 개발이 활발하게 이루어지고 있다. EV 파워 모듈의 경우 1번 충전 후 운행할 수 있는 거리에 대한 관심이 많이 증가하고 있는데 이를 위해서는 차량용 배터리 기술도 중요하지만 파워 모듈의 효율 증대도 중요하게 작용한다. 이를 위하여 기존 Si 파워 반도체에서 광대역 소자인 SiC 파워 반도체를 적용하는 개발이 증가하고 있는 추세이다. 본 논문에서는 고온 솔더의 접합, 고방열 Ag sintering paste 및 Cu sintering paste의 무가압/가압 접합 결과를 나타내었다. Cu sintering paste의 경우 기존 솔더 페이스트 접합 조건과 동일한 조건에서 무가압으로 10 MPa 정도의 접합 강도를 얻었으며 가압 접합의 경우 70 MPa 이상의 접합 강도 특성을 얻을 수 있었다. 또한, 파워 모듈에 적용되는 기판의 특성을 비교하며 위에서 개발한 소재 및 기판을 이용하여 제작한 TO-247 discrete 모듈 및 파워 모듈 제작 결과를 제시하였다. 향후 개발한 접합 기술은 Thermal cycles 테스트 및 High temperature storage 테스트 등 신뢰성 분석을 추가로 진행할 예정이다.

**Keywords:**Sintering paste, 접합, 파워모듈

a. Corresponding Author ; hcbae@etri.re.kr

Oral

## Chip Packaging Interaction for SiC Schottky Barrier Diode

장성욱<sup>1a</sup>, 이기현<sup>2</sup>, 유운용<sup>2</sup>, 김권제<sup>2</sup>Sung-Uk Zhang<sup>1a</sup>, Gihyun Lee<sup>2</sup>, Unyoung You<sup>2</sup>, Gyunje Kim<sup>2</sup><sup>1</sup>동의대학교 <sup>2</sup>아이큐랩

**Abstract:**Silicon carbide (SiC) power devices rapidly penetrate the global market because of advantageous electrical and thermal properties for high voltage, high temperature, and high-frequency power electronics applications. Among them, SiC Schottky barrier diode (SBD) has the increasing demands for highly efficient energy conversion in modern systems. However, the reliability issues of SiC SBD in harsh environments are inevitable problems, which were divided into packaging failures, contact failures, chip failures, and so on. In order to avoid those failures, it is important to evaluate SiC SBD in the design stage. Among those failures, the chip failures caused by packages could be difficult problems because the failures belong to long-term failures so that they are hard to be detected in the early stages. In order to estimate those problems, this study investigated chip package interaction for reliability, which presented how to affect the chip reliability according to design parameters of the SBD package: the number of wire bondings, the thickness of die attachment, and chip location in the package.

**Keywords:**Schottky barrier diode, Chip packaging interaction, Finite element method, Reliability

a. Corresponding Author ; zsunguk@deu.ac.kr

PB-01

**전자소자의 PN 접합 프로파일과 미세구조 분석**현문섭<sup>1a</sup>, 고진원<sup>1</sup>, 차호일<sup>1</sup>, 박윤창<sup>1b</sup>, 정철성<sup>1</sup>, 윤우진<sup>1</sup>, 홍순구<sup>2</sup>Moon Seop Hyun<sup>1a</sup>, Jinwon Koh<sup>1</sup>, Hoil Cha<sup>1</sup>, Yun Chang Park<sup>1b</sup>, Chil Seong Jeong<sup>1</sup>, Woojin Yun<sup>1</sup>, Soon-Ku Hong<sup>2</sup><sup>1</sup>나노종합기술원 <sup>2</sup>충남대학교

**Abstract:**PN 접합(도핑) 분포를 영상화하는 것은 선진사 벤치마킹, 불량분석, 공정관리 및 전자소자 개발에 매우 중요한 정보를 제공한다. 1차원 PN 접합분포 분석에는 깊이에 따른 미량의 도핑 원소를 검출하는 Secondary Ion Mass Spectroscopy (SIMS) 분석이 있으며, 2차원 분석으로는 단면시편 제작후 Scanning Electron Microscopy (SEM)을 이용한 이차전자 전위차 (Secondary Electron Potential Contrast) 분석법이 주로 사용되며, 3차원 분석으로는 Focus Ion Beam (FIB)를 이용한 바늘모양의 나노탐침 제작 후 Atom Probe Tomography (APT)를 이용한 미량원소의 분포를 영상화하는 방법이 있다. 본 발표에서는 SiC 소자의 PN 접합 분포를 관찰하기 위한 단면 시편제작 방법과 Low Volage SEM 분석결과를 소개하고, SIMS, APT, TEM를 이용한 Si 소자 분석 사례를 공유하고자 한다.

**Keywords:**Junction Profile, Doping profile, SiC, SEM, APT

a. Corresponding Author ; mshyun@nnfc.re.kr

b. Corresponding Author ; parkyc@nnfc.re.kr

## 포스터 발표 논문 초록

PB-02

### Structural and Spectroscopic Property of SiC By-products in Chemical Vapor Deposition

김슬기<sup>1</sup>, 이명현<sup>1a</sup>, 유세기<sup>2</sup>Seul Ki Kim<sup>1</sup>, Myung-Hyun Lee<sup>1a</sup>, Se Gi Yu<sup>2</sup><sup>1</sup>한국세라믹기술원 <sup>2</sup>한국외국어대학교

**Abstract:** Silicon carbide (SiC) is a very promising material for high-power, high-temperature, and high frequency electronic devices, due to its superior electronic and thermal properties. For industrial development, raw material supply is also important. Thus, we have studied on use of by-product from CVD SiC ceramic fabrication as raw material for single crystal growth. SiC is known to have several crystalline structures [1,2]. Recently, interest in 3C-SiC ( $\beta$  phase) structure has been also increased, as it can be used as a raw material for high quality single crystal [3]. For that purpose, it is important to accurately control the impurity level in 3C-SiC [1,2]. The polytypes of SiC hamper easy identification of each structure characteristics. Sequential Raman vibration frequency shows high density stacking defaults, due to the scattering resistance of 3C-SiC [1-3]. In this study, the structural and impurity properties of 3C-SiC crystals ( $\beta$  phase) grown by chemical vapor deposition (CVD) have been systematically investigated by FT-IR and micro-Raman spectroscopy.

These analysis techniques have been used to study the degree of purification in SiC crystals, i.e., free carbon and free silica concentration, the concentrations of these two free atoms in CVD-grown SiC are known to be high, which was analyzed by XRD. For the change to low levels of impurity, the characteristics of SiC are increased strength, mobility enough to change the surface energy of atomic density or the diffusion distance can be reduced. As the crystal growth direction is stacking atomic-closed packing (111), the preferred orientation is completely changed. This proposed analytical method is good agreement with a result of ICP-OES [4]. Therefore, we can say that FT-IR and Raman spectroscopy is useful to characterize the quality and impurity levels in SiC crystal. The detailed characterization of SiC crystals using micro-Raman, ICP-OES, XRD, SEM, FT-IR are under study and will be discussed in detail.

**Keywords:** Power electronic devices, Silicon carbide (SiC), Impurity property

a. Corresponding Author ; mhlee@kicet.re.kr

PB-03

## Deep Level Defect Transient Analysis of 4H-SiC MPS Devices

변동욱<sup>1</sup>, 신명철<sup>1</sup>, 강예환<sup>1,2</sup>, 양창현<sup>2</sup>, 문정현<sup>3</sup>, 방욱<sup>3</sup>, 신원호<sup>1</sup>, 오종민<sup>1</sup>, 박철환<sup>1</sup>, 마이클 슈바이츠<sup>1</sup>, 구상모<sup>1a</sup>  
 Dong-Wook Byun<sup>1</sup>, Myeong-Cheol Shin<sup>1</sup>, Ye Hwan Kang<sup>1,2</sup>, Chang Heon Yang<sup>2</sup>, Jeong Hyun Moon<sup>3</sup>,  
 Wook Bahng<sup>3</sup>, Weon Ho Shin<sup>1</sup>, Jong-Min Oh<sup>1</sup>, Chulhwan Park<sup>1</sup>, Michael A. Schweitz<sup>1</sup>, Sang-Mo Koo<sup>1a</sup>

<sup>1</sup>광운대학교 <sup>2</sup>(주)에스파워테크닉스 <sup>3</sup>한국전기연구원 (KERI)

**Abstract:** The point defects in deep level may negatively affect power semiconductors, for example by trapping charge carrier, increasing reverse current, and reducing carrier lifetimes. Therefore, it is important to identify and control deep level defects especially in devices based on wide bandgap materials such as SiC, which are of great importance for use in high speed and high power applications.

Silicon Carbide (SiC) is an attractive material with excellent properties for high-power, high temperature and high-speed switching applications. Among SiC polytypes in 3C,4H and 6H-SiC, 4H-SiC has great electrical and materials properties, such as wide bandgap (~ 3.3 eV), critical electrical field (~2.5 MN/cm), small anisotropy, and high radiation hardness. Owing to these characteristics, 4H-SiC devices are widely used to operate in harsh environments. There are many reports on the fabrication and performance evaluation of 4H-SiC devices including Schottky barrier diodes (SBDs), junction barrier Schottky (JBS) diode, and merged p-i-n Schottky (MPS) diodes. MPS structures are promising devices with pn junction grids integrated into the drift region, thereby providing low leakage current in reverse voltage and sufficient surge current in forward voltage. In the MPS diode structure, however, extensive electrical defects may be generated in 4H-SiC epi layer during ion implantation and post annealing for the fabrication of P grids.

In spite of these facts, studies of deep level defects in such structures are rather limited, and many questions are still open.

In this work, we compare the 4H-SiC MPS diodes with different P-grid spaces by deep level transient spectroscopy (DLTS). Through DLTS measurements, the characteristics of defects including trap level, concentration, and capture cross section are analyzed and quantified. Furthermore, the possible origins of the defects in different energy levels are correlated to possible origins.

**Keywords:** DLTS, 4H-SiC, MPS diode, Deep level defect

a. Corresponding Author ; smkoo@kw.ac.kr



## 포스터 발표 논문 초록

PB-04

### 흑연접합제 유래에 따른 SiC-흑연 접합특성 평가

정성민<sup>1a</sup>, 강준혁<sup>2</sup>, 김용현<sup>1</sup>, 신윤지<sup>1</sup>, 배시영<sup>1</sup>, 장연숙<sup>2</sup>, 이원재<sup>2</sup>

Seong-Min Jeong<sup>1a</sup>, June-Hyuk Kang<sup>2</sup>, Young-Hyun Kim<sup>1</sup>, Yun-Ji Shin<sup>1</sup>, Si-Young Bae<sup>1</sup>,  
Yeon-Suk Jang<sup>2</sup>, Won-Jae Lee<sup>2</sup>

<sup>1</sup>한국세라믹기술원 <sup>2</sup>동일대학교

**Abstract:** 차세대 반도체 기판으로 시장에 채용되고 있는 탄화규소 (SiC) 단결정은 승화법, 용액법, 기상법 등의 방법으로 제조되는데, SiC의 특성상 단결정의 방사방향 스케일업(Scale-Up)이 매우 어렵기 때문에 통상 종자결정은 성장결과와 거의 같은 직경을 갖는 대형의 고품질 단결정이 사용된다. SiC 결정성장은 현재 제안된 모든 공정에서 고온의 유도가열방식으로 성장시키기 때문에 흑연재질의 도가니와 상부덮개가 필요하며, 따라서 상부의 흑연덮개에 접합시킨 대구경의 SiC 기판을 종자결정으로 사용하여 단결정을 성장시키는 방식으로 SiC의 결정성장이 진행된다. 그러나 고온에서는 흑연과 SiC의 열팽창계수가 다르기 때문에 SiC-흑연계면간 응력으로 인해 고온의 결정 성장 공정 중에 SiC 종자결정이 탈락하는 경우가 흔히 일어난다. 통상 고가의 공정비용과 장시간의 공정시간이 소요되는 해당 공정 특성상 이러한 종자결정의 탈락현상은 공정개발속도를 저하시키는 매우 큰 문제이나, 현재까지 이에 대한 연구가 널리 보고되지 않았다. 본 연구에서는 흑연접합제의 유래에 따른 SiC-흑연 접합특성의 차이를 3점꺽임강도 시험법을 응용한 복합모드꺽임시험(Mixed-Mode Flexure Test)을 통해 접합 강도를 확인하고 엑스선 전산화 단층 촬영(X-ray Computed tomography, CT)을 통하여 접합강도와 계면상태의 상관성을 평가하였다. 또한 XPS를 활용하여 흑연접합제 유래에 따른 탄소결합상을 분석하였다. CT분석결과로 계면간 기공이 없는 조건이면서 sp<sup>2</sup> 결합보다 sp<sup>3</sup> 결합이 더욱 활성화되어 있는 조건인 경우가 SiC-흑연간 결합특성이 우수함을 확인하였다.

**Keywords:** SiC, 흑연, 접합강도, CT, XPS

a. Corresponding Author ; smjeong@kicet.re.kr

PB-05

## Numerical Analysis of the Helmholtz Coil's Effects on the Performance of SiC Crystal Growth from Melt

Minh-tan HA, 신윤지, 배시영, 이명현, 정성민<sup>a</sup>

Minh-Tan Ha, Yun-Ji Shin, Si-Young Bae, Myung-Hyun Lee, Seong-Min Jeong<sup>a</sup>

한국세라믹기술원

**Abstract:** Silicon carbide (SiC), due to the superior electric and thermal properties, can replace the Si substrate in high power, high performance applications. Bulk single crystal SiC is currently fabricated by physical vapor transport (PVT),<sup>1</sup> but its high dislocation density is a problem in making high power electric devices. Top seeded solution growth (TSSG) is nominated as a method to grow high quality SiC single crystals.<sup>2</sup> In TSSG, high purity silicon melts in the graphite crucible, and the carbon from the crucible dissolves to the melt, travels in the medium to the crystal surface, and contributes to crystal growth.<sup>3</sup> The TSSG method has a huge advantage in reducing the dislocation density in the crystal because the growth condition is close to the equilibrium state.

Current challenges in the TSSG method are low growth rate and low uniformity of the grown crystal because of low carbon solubility in the molten Si, as well as complicated fluid flow in the melt. The electromagnetic and Marangoni convections determine the global fluid flow in the melt.<sup>3</sup> The electromagnetic convection strongly effects the velocity field in the melt, while the Marangoni convection causes an instability free surface of the melt and reducing the uniformity of the grown crystal. We tried to improve the growth rate by adopt a flow guide inside the melt and directing the flow as desired. But it was less effective in suppressing the Marangoni convection and in improving the uniformity of the grown crystal.

In this study, we numerically investigate a method to improve both the growth rate and the uniformity of the crystal by applying an external magnetic field generated by Helmholtz coils to the TSSG reactor. The vertical downward external magnetic field could enhance the carbon transportation, growth rate, and uniformity of the grown crystal.

**Keywords:** Silicon carbide, SiC, Top-seeded solution growth, Helmholtz coils, External magnetic field

a. Corresponding Author ; smjeong@kicet.re.kr

## 포스터 발표 논문 초록

PB-06

### 저압공정 용액성장을 통한 SiC 단결정 내 결함제어 연구 (Defect Reduction in SiC Single Crystal During Solution Growth Process Under Low Pressure Condition)

유훈재<sup>1,2</sup>, 임수민<sup>1,2</sup>, 이승준<sup>1</sup>, 하민탄<sup>1</sup>, 임영수<sup>2</sup>, 이명현<sup>1</sup>, 정성민<sup>1</sup>, 배시영<sup>1</sup>, 신윤지<sup>1a</sup>  
Yongjae Yu<sup>1,2</sup>, Soomin Lim<sup>1,2</sup>, Seungjune Lee<sup>1</sup>, Minhtan Ha<sup>1</sup>, Youngsoo Lim<sup>2</sup>, Myunghyun Lee<sup>1</sup>,  
Seongmin Jeong<sup>1</sup>, Siyoung Bae<sup>1</sup>, Yunji Shin<sup>1a</sup>

<sup>1</sup>한국세라믹기술원 <sup>2</sup>부경대학교

**Abstract:**탄화규소(SiC)는 기존의 반도체 소재인 실리콘(Si)대비 높은 밴드갭, 열전도도, 전기전도도, 그리고 절연파괴전압의 물성을 가지고 있어서 고효율화와 소형화 및 경량화, 그리고 혹독한 환경 내에서 고신뢰성, 고속 스위칭이 가능한 전력반도체 소재이다[1]. SiC 단결정 기판을 성장하기 위해 다양한 성장 방법이 있을 수 있는데, 그 중에서도 TSSG(Top-Seeded Solution Growth)는 기존의 SiC 단결정을 성장시키는 보편적인 방법인 PVT(Physical Vapor Transport)에 비해 공정 제어가 용이하고 결함 밀도 제어 및 공정 단가 절감 등의 측면에서 유리한 장점이 있어서 최근 국내 및 일본 등 해외에서도 활발히 연구되어 왔다[2]. TSSG는 유도가열식 성장로를 이용하여 흑연 도가니 내부에서 용융된 실리콘 기반의 용융액에 SiC 종자결정을 침전시키는 방식으로 단결정 잉곳을 성장하는 방법으로서, 흑연 도가니는 실리콘 용융액을 담은 용기의 역할을 하는 동시에 실리콘 용융액 내부로 탄소를 공급하는 원료의 역할을 수행하게 된다. TSSG를 통해 성장된 잉곳은 PVT법으로 성장된 잉곳 대비 결함 밀도가 낮은 장점을 가질 수 있지만, 용액 성장 후 잉곳 표면에 남아있는 금속 개재물(metal inclusion), 실리콘 액적(Si droplet), 공극 결함(pore defect) 등 다양한 매크로 결함(macro defect)을 제어해야 하는 문제가 남아있다[3]. 특히 공극 결함은 용융액 내부로 혼입된 기체가 기포를 형성하여 결정 성장면에 흡착되어 발생하는 결함으로써, 수 마이크로미터부터 수 밀리미터까지 다양한 크기의 결함을 생성하므로 성장된 잉곳의 결정 품질을 저하시키는 직접적인 원인이 된다. 본 연구팀에서는 4° off-axis 4H-SiC를 이용한 선행실험을 통해 공극 결함 제어의 중요성에 대한 일부 연구결과를 발표한 바 있다. 본 논문에서는 보다 구체적인 공극 결함 발생 원인 및 이를 제어하기 위한 인자에 대해 논의하고, 더불어 내부 분위기 압력과 성장 직후 결정 표면 및 내부 공극 결함의 생성 원리를 보다 정확하게 비교, 분석하여 보고할 예정이다. 또한 on-axis 4H-SiC를 이용한 연구결과를 근거로 용액성장 중 공극 결함을 최소화하는 SiC 단결정 용액성장 핵심 공정인자를 제시하고자 한다.

**Keywords:**SiC, Single crystal growth, TSSG, Pore defect, Ar pressure

a. Corresponding Author ; shinyj@kicet.re.kr

PB-07

고순도  $\beta$ -SiC 분말을 사용하여 성장된 반절연 SiC 단결정김태희, 이채영, 이규도<sup>a</sup>Tae Hee Kim, Chae Young Lee, Gyu Do Lee<sup>a</sup>

KC industrial

**Abstract:**실리콘 카바이드는 재료 고유의 높은 밴드갭 에너지와 열전도율로 인하여 고전압 고주파 기반의 전력반도체로 적합하다.[1] 그러나 성장 온도가 2000°C 이상으로 매우 높고 공정 변수가 많아 고품질의 단결정을 획득하기가 어렵다. 결함이 작은 고품질의 단결정을 성장하기 위해서는 여러 요소가 중요하나 고순도의 원료의 역할 역시 필수적이라 할 수 있다.[2-4] 특히 RF 영역에서 활용되는 Semi-Insulating SiC의 경우에는 원료 내의 불순물 함량이 단결정의 저항 구현에 가장 중요한 요소이다.[5-7]

본 연구는 당사가 제조한 6N급 고순도  $\beta$ -SiC 분말을 사용하여 저항 가열식 PVT (Physical Vapor Transport)법으로 बनादुम 도핑된 반절연 SiC 단결정 성장에 관한 것이다. 반절연을 구현하기 위하여 흑연으로 제작된 내부도가니 안에는 बनादुम 카바이드(VC)의 분말을 채워 넣어 도가니 하부에 삽입하였다. 6H-SiC, Si-face의 종자정을 사용하여 2300-2400°C의 성장온도에서 50시간 동안 성장을 진행하였으며, 이때 아르곤 분위기에서 성장 압력을 10-20 torr로 유지시켰다. 성장 전 SiC 분말은 순도확인을 위해 ICP-MS (Inductively Coupled Plasma Mass Spectrometry) 분석을 진행하였으며, SIMS (Secondary Ion Mass Spectrometry)분석을 통해 분말에 포함된 질소 함량 확인하였다. 성장된 결정은 투과/흡수스펙트럼을 확인하기 위해 UV-VIS-NIR을 이용하여 스펙트럼 분석을 하였고, X-ray를 이용하여 X-ray 회절 패턴과 결정성을 확인하였다.

**Keywords:**beta SiC Powder, Semi-Insulating, 6N고순도 분말, Vanadium Doping

a. Corresponding Author ; [gdllee@kcindustrial.com](mailto:gdllee@kcindustrial.com)

PB-08

고순도  $\beta$ -SiC 분말을 사용하여 성장된 4 inch N-type SiC 단결정김태희, 이채영, 이규도<sup>a</sup>Tae Hee Kim, Chae Young Lee, Gyu Do Lee<sup>a</sup>

KC industrial

**Abstract:**SiC 단결정을 성장시키는 방법은 여러 가지로 연구되고 있으나 현재 산업계에서 적용되고 있는 방법은 PVT 공법이다. PVT 공정은 2000 °C 이상 고온에서 원료인 SiC 분말이 승화된 후 시드 결정 표면에서 응축 및 성장하는 방법으로 SiC 단결정의 핵심 기술인 결함 밀도, 결정 크기 및 성장 속도 등이 성장공정 환경과 원료물질 제어와 깊은 관계가 있다. 특히, 결정 성장이 진행되는 동안 원료물질인 SiC 분말로부터 불순물이 혼입되어 결함이 발생할 수 있으므로 분말의 순도를 정밀하게 제어 할 필요가 있다.[1-3]

본 연구는 당사가 제조한 6N급 고순도  $\beta$ -SiC 분말을 사용하여 저항 가열식 PVT (Physical Vapor Transport)법으로 4인치 N-Type SiC 단결정 성장에 관한 것이다. 고품질의 4H-SiC, C-face의 종자정을 사용하여 2100-2200°C의 성장온도에서 50시간 동안 성장을 진행하였으며, 이때 아르곤 분위기에서 성장 압력을 10-20 torr로 유지시켰다. N-type을 구현하기 위하여 성장로 내부에 일정량의 질소를 성장 중에 투입하였다. 성장 전 SiC 분말은 순도확인을 위해 ICP-MS (Inductively Coupled Plasma Mass Spectrometry) 분석을 진행하였으며, SIMS (Secondary Ion Mass Spectrometry)분석을 통해 분말에 포함된 질소 함량 확인하였다. 성장된 결정은 X-ray를 이용하여 X-ray 회절 패턴과 결정성을 확인하였다.

**Keywords:**beta SiC Powder, SiC 단결정, 6N급 고순도 분말

a. Corresponding Author ; [gdllee@kcindustrial.com](mailto:gdllee@kcindustrial.com)

## 포스터 발표 논문 초록

PB-09

### 4성분계 조성을 이용한 고품질 SiC 단결정 성장 (High Quality SiC Single Crystal Growth by Using Four-Component Melt System in the Solution Growth Method)

이승준<sup>1,2</sup>, 유용재<sup>2,3</sup>, 임수민<sup>2,3</sup>, 김우연<sup>1</sup>, 박수빈<sup>1</sup>, 제태완<sup>1</sup>, 장연숙<sup>1</sup>, 정성민<sup>2</sup>, 배시영<sup>2</sup>, 이명현<sup>2</sup>, 하민탄<sup>2</sup>, 김용현<sup>2</sup>, 신윤지<sup>2a</sup>, 이원재<sup>1b</sup>

Seung-June Lee<sup>1,2</sup>, Yong-Jae Yu<sup>2,3</sup>, Su-Min Lim<sup>2,3</sup>, Woo-Yeon Kim<sup>1</sup>, Su-Bin Park<sup>1</sup>, Tae-Wan Je<sup>1</sup>, Yeon-Suk Jang<sup>1</sup>, Seong-Min Jeong<sup>2</sup>, Si-Yong Bae<sup>2</sup>, Myoung-Hyun Lee<sup>2</sup>, Minh-Tan Ha<sup>2</sup>, Yong-Hyin Kim<sup>2</sup>, Yun-Ji Shin<sup>2a</sup>, Won-Jae Lee<sup>1b</sup>

<sup>1</sup>동의대학교 <sup>2</sup>한국세라믹기술원 <sup>3</sup>부경대학교

**Abstract:**탄화규소는 기존의 반도체 소재인 실리콘 대비 열전도율과 파괴 전계 강도가 높고, 전자 포화속도가 높은 큰 밴드갭을 가져 높은 에너지 효율에서 고온·고전압 동작을 달성하는 차세대 전력반도체 소재로 주목받고 있다. 이 SiC 단결정을 성장시키는 방법에는 물리적 기상증착법(PVT; Physical Vapor Transport), 상부종자용액성장법(TSSG; Top Seeded Solution Growth) 그리고 고온화학기상증착법(CVD; Chemical Vapor Depositon) 등이 있으며, 그 중에서도 용액성장법은 도핑 효율이 높고 공정 제어 및 결함 밀도 제어가 용이하여 최근 국내 및 해외에서도 활발히 연구되어 왔다. 용액성장법은 유도가열식 성장로를 사용하여 흑연도가니 내부에서 용융된 실리콘 기반의 용융액에 SiC 종자정을 침전시켜 단결정 잉곳을 성장시키는 방법인데, 이때 흑연 도가니는 실리콘 용융액을 담은 용기로써의 실리콘 용융액 내부로 탄소 소스를 공급하는 원료로써의 역할을 동시에 수행한다. 용액성장법은 물리적 기상증착법에 비해 성장된 잉곳 내 전위밀도를 효과적으로 저감시킬 수 있다는 장점이 있지만 순수 실리콘 용융액을 사용 할 경우 탄소용해도가 매우 낮아 성장률 이 낮은 한계가 있다. 이러한 한계점을 극복하고자 전이금속(transition metal)을 첨가하여 탄소용해도를 강제적으로 증가시키는 방법이 많이 이용되었다. 보편적으로 가장 많이 연구된 전이금속으로 Cr, Ti 등이 있으며, 이 중에서도 크로뮴(Cr)은 탄소용해도를 급격히 증가시키는데 매우 효과적이지만, 성장률 또한 지나치게 빨라져 성장층 내부로 다결정이 혼입되거나 표면 균질도가 저하되는 문제가 발생할 수 있다. 그에 비해 티타늄(Ti)은 Cr보다 탄소용해도 측면에서는 효과가 적어 성장률을 증가시키는데 도움이 되지 못하고, 질소 도핑 효율을 개선하는데 효과가 있는 것으로 보고된 바 있다.<sup>1,2</sup> 이에 따라서 본 논문에서는, 기존의 연구가 많이 되지 않은 스칸듐(Sc)과 코발트(Co)를 이용하여 기존의 Cr과 Ti와 같은 전이금속들의 단점을 보완한 4성분계 조성을 연구하여 고품질 SiC 단결정 성장에의 적용 가능성에 대해 논의하고자 한다.<sup>3,4</sup> 다양한 조성을 기반으로 고온진공열처리를 활용한 용융실험을 기반으로 하여 각 조성별 탄소 용해도를 분석하고, 용융물 내부의 SiC 수지상의 밀도를 측정 한 연구결과를 토대로 SiC 단결정 성장에 용이한 신규 조성을 제시할 예정이다.

**Keywords:** silicon Carbide, Single crystal growth, TSSG, transition metal, four-component system

a. Corresponding Author ; shinyj@kicet.re.kr

b. Corresponding Author ; leewj@deu.ac.kr

PB-10

## CVD-SiC 리사이클링 소재를 원료로 적용한 SiC 단결정 성장

김용현<sup>1</sup>, 배시영<sup>1</sup>, 양인석<sup>2</sup>, 김일곤<sup>2</sup>, 김창민<sup>2</sup>, 정성민<sup>1a</sup>Yong-Hyeon Kim<sup>1</sup>, Si-Young Bae<sup>1</sup>, In-Seok Yang<sup>2</sup>, Il-Gon Kim<sup>2</sup>, Chang-Min Kim<sup>2</sup>, Seong-Min Jeong<sup>1a</sup><sup>1</sup>한국세라믹기술원 <sup>2</sup>하나머티리얼즈

**Abstract:**탄화규소(SiC)는 실리콘대비 높은 열전도도(~490 W/m·K), 넓은 밴드갭(~3.3 eV), 높은 항복전계 강도(~5.0 MV/cm)를 가지고 있어 고온·고전압 조건에서 작동하는 전력반도체 분야의 차세대 소재로 여겨지고 있다 [1,2]. 전력소자에 사용되는 단결정 SiC의 성장방법으로는 물리기상수송법(physical vapor transport; PVT)이 상용화되었다. PVT법은 2,200 ~ 2,400°C 온도의 고주파 유도가열된 흑연도가니 내부에서 SiC 원료분말이 승화하여 기체상으로 이동 후 상부에 부착된 SiC 종자정(seed)에 재결정화하여 성장되는 방법이다. [3]. 이때 고순도의 단결정 SiC를 성장시키기 위해서는 원료로 사용되는 SiC 분말의 순도 조절이 중요하다.

한편 고순도의 SiC를 합성하는 다양한 방법 중 한 가지로 화학기상증착법(chemical vapor deposition; CVD)을 통해 1,250~1,600°C의 온도범위에서 Methyltrichlorosilane(CH<sub>3</sub>Cl<sub>3</sub>Si, MTS)을 사용하여 CVD-SiC를 제조할 수 있다 [4]. CVD 공정동안 반응기 내부에 조대입자 형태의 CVD-SiC 부산물이 다량 증착된다. 또한 제조된 고순도의 벌크 CVD-SiC는 내플라즈마성 특성을 가지고 있어 반도체 제조용 장비 부품으로 널리 사용되어지는데, 다양한 형상의 CVD-SiC 제품을 가공하는 과정에서 벌크 형태의 조각들이 남게 된다. 이러한 조립자와 벌크조각 형태의 CVD-SiC 부산물들은 고순도임에도 불구하고 활용성이 마땅치 않아 대부분 폐기되고 있다.

본 연구에서는 고순도 CVD-SiC 부산물을 PVT법 성장을 위한 원료로 사용하여 단결정 SiC를 성장 실험을 진행하였다. 상용 SiC 분말, CVD-SiC 조립자, 벌크 CVD-SiC 조각 3가지 원료를 사용하여 단결정을 성장 후 비교하였다. 성장조건은 2,250~2,350°C 온도 범위에서 4시간동안 35 Torr 압력 하에 아르곤 분위기에서 단결정 SiC를 성장하였고, SiC seed로 2인치 4° off-axis 4H-SiC를 사용하였다. 성장 후 단결정 SiC의 결정성, 폴리타입(polytype), 성장결정의 형상 및 불순물 함량 등을 평가 및 분석하였다. 이번 연구를 통해서 CVD-SiC 부산물의 재활용 가능성과 이를 이용한 고순도 단결정 SiC 성장 방법을 제시하고자 한다.

**Keywords:**리사이클링, SiC, PVT, 결정성장, 단결정

a. Corresponding Author ; smjeong@kicet.re.kr



## 포스터 발표 논문 초록

PB-11

### PVT 방법에 의한 링 모양의 SiC 단결정 성장

제태완<sup>1</sup>, 김우연<sup>1</sup>, 이승준<sup>1</sup>, 박수빈<sup>1</sup>, 장연숙<sup>1</sup>, 박미선<sup>1</sup>, 정은진<sup>2</sup>, 강진기<sup>3</sup>, 이원재<sup>1a</sup>

Tae Wan Je<sup>1</sup>, Woo Yeon Kim<sup>1</sup>, Seung Joon Lee<sup>1</sup>, Su Bin Park<sup>1</sup>, Yeon Suk Jang<sup>1</sup>, Mi Seon Park<sup>1</sup>, Eun Jin Jung<sup>2</sup>, Jin Ki Kang<sup>3</sup>, Won Jae Lee<sup>1a</sup>

<sup>1</sup>동의대학교 <sup>2</sup>(주)케이엑스티 <sup>3</sup>(주)악셀

**Abstract:** 최근 반도체 공정의 초고집적화로 인한 고전력 플라즈마가 필요하게 되면서 이에 따른 에칭 공정의 관련부품 또한 내플라즈마 특성이 우수한 부품이 필요하게 되었다. 기존 공정에 주로 사용되었던 Si를 대체하는 물질로 SiC 소재의 부품 비율이 증가하는 추세이다. SiC는 Si보다 물리적, 화학적 특성이 뛰어나 고온, 고전압, 부식 환경에서의 소자 안정성이 우수하여 열전도율과 경도가 높고 내산화성, 내마모성, 내부식성 등이 우수하다. 이런 우수한 특성을 바탕으로 반도체 공정 중에 입자의 발생이 줄어들게 되어 반도체 공정용 소재로 활용할 수 있다. 반도체 공정단계 중 식각 공정에서 사용되는 포커스링은 플라즈마 챔버 내에서 웨이퍼를 고정시켜주고 플라즈마를 집속시켜 고르게 분포되는 역할을 하며, Si 포커스링의 경우, CF<sub>4</sub>, 불소, 염소와 같은 반응성 가스가 포함된 가스를 사용하므로 주변부품의 부식이 불가피하며, 기판과 가장 근접한 포커스링은 침식 속도가 챔버내 부품 중 가장 빨라 교체 주기가 짧다. 그러므로 고도화된 미세공정에 사용되는 식각 공정 장비의 고성능화와 더불어 식각 장비 부품소재의 고성능화가 중요해지는 추세이며, Si 포커스링을 더 우수한 특성을 가지는 SiC 포커스링으로 대체함으로써, 식각 공정에서의 수율 향상 및 비용절감을 기대할 수 있다. 반도체 분야에서 SiC를 성장시키는 방법은 여러 가지가 있으나 현재 SiC 포커스링은 일반적으로 CVD (Chemical Vapor deposition)법으로 제조된다[1,2]. CVD법으로는 비교적 낮은 1000°C에서 초고순도의 SiC를 제조할 수 있지만 장비가 상당히 고가이며 성장률이 낮은 단점을 가지고 있다. 본 연구에서는 PVT (Physical Vapor Transport) 방법을 이용하여 반도체 식각 공정용 소재로 사용되는 포커스링 SiC (Silicon carbide) 단결정을 제조하였다. 흑연 도가니 내부에 원기둥 모양의 흑연 구조물을 배치하고 SiC 웨이퍼를 링 형태로 가공한 seed를 사용하여 PVT법에 의한 링 모양의 SiC 단결정을 성장시켰다. 성장된 결정은 Raman 및 UVF (Ultra Violet Fluorescence) 분석을 이용하여 결정의 상분석을 하였고, SEM (Scanning Electron Microscope), EDS (Energy Dispersive Spectroscopy) 분석을 통해 미세조직 및 성분을 확인하였다.

**Keywords:** Silicon carbide, Single crystal, Focus ring, PVT, Growth rate

a. Corresponding Author ; leewj@deu.ac.kr

PB-12

 **$\alpha$ -SiC 분말과  $\beta$ -SiC 분말을 혼용하여 성장된 2인치 반절연 SiC 단결정**이채영<sup>1</sup>, 이규도<sup>1a</sup>, 김태희<sup>1</sup>, 김우연<sup>2</sup>, 장연숙<sup>2</sup>, 이원재<sup>2</sup>, 김정희<sup>2</sup>Chaeyoung Lee<sup>1</sup>, Gyudo Lee<sup>1a</sup>, Taehee Kim<sup>1</sup>, Woo Yeon Kim<sup>2</sup>, Jangyeon Suk<sup>2</sup>, Wonjae Lee<sup>2</sup>, Jeonghui Kim<sup>2</sup><sup>1</sup>KCIndustrial <sup>2</sup>동의대학교

**Abstract:**본 연구는 PVT (physical vapor transport)법을 이용한  $\alpha$ -SiC분말과  $\beta$ -SiC 분말을 혼용하여 바나듐 도핑된 반절연 SiC 단결정 성장에 미치는 영향에 대한 연구를 진행하였다. 다공성 흑연으로 제작된 내부도가니( $\varnothing 30 \text{ mm} \times 25 \text{ mm}$ )안에는 바나듐카바이드(VC)의 분말을 채워 넣어 어떠한 바나듐 승화 양상을 보이는지 비교하기 위해 흑연 도가니 하부에 삽입하였다. 6H-SiC, Si-face의 종자정을 사용하여 2,300 ~ 2,400°C의 성장온도에서 6시간 동안 성장을 진행하였으며, 이때 아르곤 분위기에서 성장 압력을 25~40 mbar로 유지시켰다. 성장 전 SiC 분말은 순도확인을 위해 GDMS (glow discharge mass spectrometry) 분석을 진행하였으며, SIMS (secondary ion mass spectrometry)분석을 통해 분말에 포함된 질소 함량 확인하였다. 성장된 결정은 투과/흡수스펙트럼을 확인하기 위해 UV-VIS-NIR을 이용하여 스펙트럼 분석을 하였고, X-ray를 이용하여 X-ray 회절 패턴과 결정성을 확인하였다. 또한 광학현미경을 이용하여 결함 및 표면을 관찰하였으며, SEM (scanning electron microscope)/EDS (energy dispersive spectrometer) 분석을 통해 바나듐 도핑 및 불순물 농도를 확인하였다.

**Keywords:**  $\beta$ -SiC powder,  $\beta$ -SiC, PVT, 반절연 SiC, SiC powder

a. Corresponding Author ; glee@kcindustrial.com

## 포스터 발표 논문 초록

PB-13

### 4H-SiC MPS Diode의 전기적 특성에 관한 연구

윤승복, 강예환, 김기현, 박현, 천상익, 박주아, 서민설, 양창현<sup>a</sup>

Seung Bok Yun, Ye Hwan Kang, Ki Hyun Kim, Hyeon Park, Sang Ik Cheon, Ju A Park, Min Seol Seo, Chang Heon Yang<sup>a</sup>

(주)에스파워테크닉스

**Abstract:** 최근 전기자동차 시장이 활성화됨에 따라 고출력 소형화 전력변환 장치 구현을 위한 해결책에 관심이 높아지고 있으며, 이에 차세대 파워반도체 소자로 주목받고 있는 실리콘카바이드(SiC, Silicon Carbide) 소자를 탑재한 고출력 소형 전력변환 장치 개발 및 전기자동차 적용이 활발해지고 있다. 실리콘카바이드가 적용된 전력변환 장치의 경우, 현재 널리 사용되고 있는 실리콘(Si, Silicon) 시스템 대비 부피가 약 65 % 감소, 스위칭 손실이 55 % 적으며, 이를 적용하여 파워트레인 시스템의 부피 감소 및 출력 증가로 전기자동차의 주행거리 및 연비 향상에 큰 이점을 줄 것으로 예측할 수 있다.

한편, 장치의 고출력 소형화에 따른 전력 밀도 증가로 장치를 구성하는 파워반도체 소자의 높은 신뢰성에 대한 요구가 증가되고 있다. 이에 요구되는 신뢰성으로 순방향 전압 강하(VF, Forward Voltage), 항복전압(BV, Breakdown Voltage), 순간 돌입전류(IFSM, Surge peak Forward Current) 등이 있다. 이때 JBS(Junction Barrier Schottky Diode) 구조의 경우, 고출력 전력변환 장치 스위칭 동작 중 발생하는 순간 돌입전류 특성에 취약하여 높은 신뢰성 요구 되는 시스템에 적합하지 않다. 이를 보완하기 위해 MPS(Merged PiN Schottky Diode) 구조를 적용하여 높은 신뢰성을 확보가 가능하다, 하지만 MPS 구조를 적용할 경우, PN 접합을 통해 동작하기 때문에 Schottky 접합 동작을 하는 JBS 구조보다 높은 순방향 전압 강하 특성을 가지고 있기 때문에 동일 면적의 JBS 구조보다 순방향 전류 특성이 낮아지게 된다. 한정된 소자 면적에서 JBS와 MPS 구조의 비율 조절하여 시스템에서 요구하는 순방향 전류 특성과 순방향 돌입전류 특성을 모두 충족하기엔 어려움이 있다.

본 연구에서는 JBS 소자와 MPS 소자에서 PiN 영역의 비율에 따른 순방향 전류 특성과 IFSM 특성 비교하고자 650 V/15 A급 SiC Diode를 제작하여 전기적 특성을 비교하였다. 소자 구조는 JBS 소자 구조를 기본으로 PiN 영역을 5 %, 10 %, 15 % 삽입하여 Diode를 제작하였다. 측정결과, 순방향 전류 특성은 JBS와 MPS 두 소자 모두 정격 전압 1.5 V에서 약 15 A 수준으로 대동소이한 수준을 보였으며, JBS의 IFSM 특성은 정격 IF 특성의 6 배인 96 A를 얻었으며, PiN 영역 5 %, 10 %, 15 % 구조에서 각 소자의 정격 IF 특성은 약 8, 9, 10 배이상인 108 A, 125 A, 153 A를 얻었다.

**Keywords:** SiC, JBS, MPS, IFSM

a. Corresponding Author ; [chyang@ypt.co.kr](mailto:chyang@ypt.co.kr)

PB-14

## 3.3 kV 고전압 4H-SiC 파워반도체 구현을 위한 FLR 이온주입 최적화 모델링

강예환<sup>1</sup>, 김기현<sup>1</sup>, 윤승복<sup>1</sup>, 박현<sup>1</sup>, 천상익<sup>1</sup>, 박주아<sup>1</sup>, 서민설<sup>1</sup>, 김형우<sup>2</sup>, 양창현<sup>1a</sup>Ye Hwan Kang<sup>1</sup>, Ki Hyun Kim<sup>1</sup>, Seung Bok Yun<sup>1</sup>, Hyeon Park<sup>1</sup>, Seung Bok Cheon<sup>1</sup>, Ju A Park<sup>1</sup>,  
Min Seol Seo<sup>1</sup>, Hyoung Woo Kim<sup>2</sup>, Chang Heon Yang<sup>1a</sup><sup>1</sup>(주)에스파워테크닉스 <sup>2</sup>한국전기연구원

**Abstract:**실리콘카바이드(SiC, Silicon Carbide) 소재는 실리콘(Si, Silicon) 대비 약 10배 높은 절연 강도와 빠른 역방향 회복 특성을 갖추고 있으며, 기존 실리콘(Si, Silicon) 반도체를 대체하여 시스템의 효율과 신뢰성 강화가 가능하여 차세대 파워반도체 소자로 주목 받고 있다. 실리콘 시스템 대비 높은 주파수 동작이 가능하여 시스템 내의 수동 소자의 크기와 수량을 절감 할 수 있으며, 또한 기존 고전압 실리콘 파워반도체 시스템에서는 불가능한 직접 스위칭 제어가 실리콘카바이드는 직접 스위칭이 가능하여 시스템 부피를 약 65%, 스위칭 손실 55% 감소 가능하다.

위와 같은 특성으로 고출력 전력 변환 시스템을 필요로 하는 전기자동차, 고속철도, 스마트그리드 계통 등 고전압 고전력 분야에서 실리콘 반도체 기반 시스템을 대체하여 고효율 전력 변환 시스템을 제공 가능하다. 이들 적용 분야 중 전기자동차와 고속철도 등 운송 수단으로 다른 분야보다 열악한 동작 환경이 운영되기에 보다 높은 신뢰성 요구하여 강건한 구조의 구현이 필요로 한다. 이에 높은 신뢰성 제공을 위해 안정적인 항복전압 제공이 기반이 되어야하기에 역방향 동작 영역에서 고전압 전계 분산을 위한 고전압용 전계 제한 링(FLR, Field limited Ring) 구조 최적화가 필요하다.

본 연구에서는 고전압 고전력 실리콘카바이드 소자 제작에 앞서, 안정적인 항복전압 구현을 위해 전계 제한 링의 이온주입 조건별 이온주입 농도와 깊이를 조절하여 최적화를 진행하고자 시뮬레이션 진행함. 링 개수 30개, 폭 3.0um, 간격 2.0um 구조를 기반으로 하여 이온주입 농도  $1 \times 10^{18}$ ,  $5 \times 10^{18} / \text{cm}^3$  그리고 이온주입 깊이 0.2, 0.4, 0.6 um를 적용하여 각각의 시뮬레이션 진행함. 이온주입 농도  $1 \times 10^{18} / \text{cm}^3$ , 이온주입 깊이 0.2um에서 가장 낮은 항복전압인 2910 V를 얻었으며, 이온주입 농도  $5 \times 10^{18} / \text{cm}^3$ , 이온주입 깊이 0.6 um 조건에서 가장 높은 4,350 V 항복전압 결과를 얻음.

**Keywords:**SiC, FLR, 시뮬레이션, 항복전압, 이온주입

a. Corresponding Author ; chyang@ypt.co.kr

## 포스터 발표 논문 초록

PB-15

### 3.3 kV급 고전압 4H-SiC 파워반도체 구현을 위한 FLR 구조 모델링 최적화

박현<sup>1</sup>, 강예환<sup>1</sup>, 김기현<sup>1</sup>, 윤승복<sup>1</sup>, 천상익<sup>1</sup>, 박주아<sup>1</sup>, 서민철<sup>1</sup>, 김형우<sup>2</sup>, 양창현<sup>1a</sup>

Hyeon Park<sup>1</sup>, Ye Hwan Kang<sup>1</sup>, Ki Hyun Kim<sup>1</sup>, Seung Bok Yun<sup>1</sup>, Sang Ik Cheon<sup>1</sup>, Ju A Park<sup>1</sup>, Min Seol Seo<sup>1</sup>, Hyoung Woo Kim<sup>2</sup>, Chang Heon Yang<sup>1a</sup>

<sup>1</sup>(주)에스파워테크닉스 <sup>2</sup>한국전기연구원

**Abstract:** 실리콘카바이드(SiC, Silicon Carbide) 소재는 실리콘(Si, Silicon) 대비 약 3배 높은 밴드-갭과 10배 높은 절연 강도를 갖추고 있어 기존 실리콘(Si, Silicon) 반도체를 대체하여 시스템 높은 신뢰성을 제공 가능하여 차세대 파워반도체 소자로 주목 받고 있으며, 이를 활용하여 파워반도체와 시스템 구축 연구 및 개발이 활발히 진행되고 있다. 현재 통용되고 있는 실리콘 시스템 대비 동작 가능 온도가 높아 냉각 시스템 부피 감소 가능하며, 고주파수 스위칭 동작이 가능하여 수동 소자 크기 및 수량 절감 가능하며, 또한 실리콘카바이드 파워반도체 이점으로 직접 스위칭 제어가 가능하여 시스템 부피를 약 65 %, 스위칭 손실 55 % 절감하여 고효율 시스템을 구현 할 수 있다. 하지만 고전력 산업 분야의 경우, 빈번한 이상전압 및 열악한 환경 운용으로 높은 신뢰성을 요구되어 강건한 구조의 구현 항복전압 제공을 위해 전계 제한 링(FLR, Field limited Ring) 구조가 필요하다. 본 연구에서는 실리콘카바이드 소자 제작에 앞서, 고전압 항복 특성 확보를 위한 전계 제한 링(Field limited Ring) 구조 설계 최적화를 진행하고자 FLR의 링 개수, 폭, 간격을 조절하여 시뮬레이션 진행함. 링 개수 30, 35, 40개, 링 폭 2.0, 3.0, 4.0 um 링 간격 1.0, 2.0, 3.0 um로 각 조건별 FLR을 구성하여 시뮬레이션 진행하였으며, FLR의 이온주입 조건은  $5 \times 10^{18} / \text{cm}^3$ , 이온주입 깊이 0.6 um로 고정함. 링 개수 40 개, 폭 3.0 um, 간격 2.0 um 조건에서 4,730 V 항복전압 결과를 얻음.

**Keywords:** SiC, FLR, 시뮬레이션, 항복전압

a. Corresponding Author ; [chyang@ypt.co.kr](mailto:chyang@ypt.co.kr)

PB-16

## 4H-SiC 디스크리트MOSFET의 파워사이클링 가속 수명 시험

김미진<sup>1a</sup>, 정지훈<sup>1</sup>, 장민석<sup>1</sup>, 김상우<sup>1</sup>, 박민상<sup>1</sup>, 정성현<sup>1</sup>, 왕태희<sup>1</sup>, 강인호<sup>2</sup>, 전현수<sup>3</sup>, 이호준<sup>1</sup><sup>1</sup>부산대학교 <sup>2</sup>한국전기연구원(KERI) <sup>3</sup>부산테크노파크

**Abstract:**본 연구에서는 파워사이클링 가속시험을 통해 접합온도가 4H-SiC 디스크리트 MOSFET의 수명 및 전기적인 특성에 미치는 영향을 살펴보았다. 이를 위해 온도 및 전기적 파라미터를 온라인 모니터링이 가능한 MicReD Power Tester 1500A를 이용하여 다양한 접합온도 조건에서 파워사이클링 시험을 수행하였다. 또한 전력반도체 파라미터 분석기인 Keysight사의 B1506A를 이용하여 시험 전후 전기적인 특성을 측정하였다. 먼저 4H-SiC MOSFET의 파워사이클링 수명 예측을 위해 Si IGBT파워모듈의 수명 예측에 대해 잘 알려진 LESIT 모델을 사용하여 결과를 분석하였다 [1].

여기서,  $N_f$ 는 고장사이클링 횟수,  $A$ 는 비례상수,  $\Delta T_j$ 는 접합온도 변화폭,  $\alpha$ 는 Coffin-Manson 지수,  $E_a$ 는 활성화 에너지,  $k_B$ 는 볼츠만상수,  $T_{jm}$ 은 평균 접합온도이다. 그림1은  $T_{jm}=120^\circ\text{C}$ 에서  $\Delta T_j$ 에 대한 고장사이클링 횟수를 보여준다. 점선은 실험값들을 LESIT 모델에 곡선맞춤한 결과이며 기울기는 Coffin-Manson 지수  $\alpha$ 이다. 실험결과와 특정한 평균 접합온도에서 전력소자의 수명은 접합온도 변화폭의 증가에 대해 감소함을 예측하는 LESIT모델과 잘 일치함을 보여주고 있다. 그림2는  $\Delta T_j=80^\circ\text{C}$ 에서 접합온도 평균값에 대한 고장사이클링 횟수를 보여준다. 점선은 실험값들을 LESIT 모델에 곡선맞춤한 결과이며 기울기는 활성화에너지이다. 이들 실험결과 역시 특정한 평균 접합온도 변화폭에서 전력소자의 수명은 평균 접합온도 증가에 대해 감소함을 예측하는 LESIT모델과 잘 일치함을 보여주고 있다. 또한 곡선맞춤을 통해 얻어진 Coffin-Manson 지수와 활성화에너지는 불량원인 분석과 정량적인 수명예측에 사용될 수 있다 [2].

파워사이클링 고장 분석 및 소자 특성의 변화에 대한 상세한 결과 및 고찰은 이후에 소개할 예정이다.

**Keywords:**4H-SiC MOSFET, 가속수명시험, 파워사이클링

a. Corresponding Author ; ee05246@pusan.ac.kr



## 포스터 발표 논문 초록

PB-17

### Trench 구조의 Floating Field Ring을 삽입한 고내압 저면적 특성을 갖는 SiC Edge Termination에 관한 연구

서정윤, 남태진, 김은하, 전준혁, 김화현, 경신수<sup>a</sup>Jeongyun Seo, Taejin Nam, Eunha Kim, Joonhyeok Jeon, Hwahyun Kim, Sinsu Kyoung<sup>a</sup>

파워큐브세미(주)

**Abstract:**실리콘카바이드(SiC)는 Si 대비 약 10배 수준의 높은 임계 전계 파라미터를 지닌다. 이는 SiC Diode 또는 SiC MOSFET이 고전압 소자로서의 우수한 특성을 나타내는 이유이다. 하지만 고내압 특성의 칩을 설계하기 위해서는 반드시 높은 전계에 취약한 부분에 대한 보완이 필요하며 이 과정에서 모서리 부분의 edge effect로 인한 항복 현상에 대한 보호 역시 이루어져야 한다. 이를 위해 접합 외곽의 전계를 분산하는 Edge termination 구조가 필요하다. 그 중에서도 Floating 된 상태의 P+ 접합을 형성하여 접합의 크기와 간격에 따라 전계 분산을 유도하는 Floating Field Ring(FFR) 구조가 많이 쓰인다. 그러나, FFR 구조는 온상태에서는 사용되지 않은 영역으로 전체 칩 면적을 소모하게 되어, 칩면적 효율성을 향상하기 위해 FFR구조의 면적을 줄이기 위한 연구가 많이 진행되고 있다.

본 연구에서는 기존의 FFR구조의 Edge Termination의 Ring 역할을 Trench Ring 형태로 변경하여 FFR 면적을 줄이는 새로운 형태의 Edge Termination 구조를 제안한다. 기존 구조와 제안된 구조는 Synopsys 의 Sentaurus TCAD Simulation 결과를 통해 비교 분석하였다.

시뮬레이션 결과, 제안된 구조는 기존의 FFR구조보다 더 적은 면적으로 동일 내압 확보가 가능했다. 이는 동일한 면적의 칩을 설계할 경우 온 상태에 동작하는 면적을 증가시켜, 더 많은 전류를 흐르게 하는 장점으로 이어질 수 있다. 추가적으로 SiC Trench Gate MOSFET 제작 시 Ring 임플란트를 위한 별도의 마스크가 필요하지 않다는 점 또한 비용절감의 측면에서 이점을 갖는다고 판단된다.

**Keywords:**SiC, High Voltage, Edge termination, Trench, FFR

a. Corresponding Author ; sskyoung@powercubesemi.com

PB-18

## TEOS를 이용한 SiC 기반 Trench 구조에서의 절연체 특성 연구

성민제, 김성준, 김동은, 김병욱, 신훈규<sup>a</sup>, 강민재<sup>b</sup>Min-Je Sung, Seong-Jun Kim, Dong-Eun Kim, Byeong-Uk Kim, Hoon-Kyu Shin<sup>a</sup>, Min-Jae Kang<sup>b</sup>

포항공과대학교

**Abstract:**실리콘 카바이드(Silicon Carbide, SiC)는 고에너지갭( $E_g = 3.26\text{eV}$ ) 물질로 실리콘(Si) 특성 대비 높은 넓은 에너지 밴드갭, 절연파괴전계, 높은 열전도도 특성으로 인해 낮은 전력손실, 고전압 작동, 고온 동작을 구현할 수 있는 차세대 전력 반도체 물질로 주목받고 있다 [1]. SiC 기반 반도체 소자 중 금속-산화물-반도체 전계효과 트랜지스터(Metal-Oxide-Semiconductor Field Effect Transistor, MOSFET)는 전력을 컨트롤 하는 핵심 스위칭 소자로서 고 전력 반도체 소자로 활용하기 위해 광범위하게 연구되고 있다. 특히 게이트 영역을 식각하여 구현하는 Trench MOSFET은 기존 Planar MOSFET의 JFET 영역을 제거함으로써 소자의 온-저항 특성을 개선하고 Cell이 차지하는 면적을 감소시켜 Cell 밀도를 증가시키는 장점을 가지고 있다.

한편 MOSFET 소자에서 게이트 산화막은 소자 동작 특성을 결정하는 핵심 영역이며, 일반적으로 SiC 또한 Si과 마찬가지로 열산화 공정을 통해  $\text{SiO}_2$ 를 게이트 산화막으로 형성하여 사용하고 있다 [2]. 그러나 최근 SiC를 소모하는 산화 공정 대신 TEOS (Tetraethyl Orthosilicate)를 증착하여 게이트 산화막을 형성하는 연구도 활발히 진행되고 있다.

본 연구에서는 Trench 구조와 평탄한 영역에서의 TEOS 게이트 산화막 특성을 비교 분석하기 위해 MOSCap 시료를 각각 제작하여 전기적 특성을 평가하였다. 선행적인 연구를 통해 TEOS 증착 및 NO 처리 공정에 대한 최적화 조건을 확립하였다. 제작된 Trench 및 Planar type MOSCap 시료에 대해 전기적 특성 평가를 통해 equivalent oxide thickness, flatband voltage shift, dielectric breakdown field를 평가하였다.

**Keywords:**SiC, Trench, TEOS, MOSFET

a. Corresponding Author ; shinhk@postech.ac.kr

b. Corresponding Author ; ggang25@postech.ac.kr

## 포스터 발표 논문 초록

PB-19

### Fabrication and Evaluation of 4H-SiC Double Trench MOSFETs on 6-inch Wafer

김성준<sup>1</sup>, 임민후<sup>2</sup>, 강민재<sup>1</sup>, 올렉 러쉬<sup>2</sup>, 성민제<sup>1</sup>, 노한솔<sup>1</sup>, 광주영<sup>1</sup>, 토비아스 엘바허<sup>2a</sup>, 안톤 바우어<sup>2b</sup>, 신훈규<sup>1c</sup>  
 Seongjun Kim<sup>1</sup>, Minwho Lim<sup>2</sup>, Min-Jae Kang<sup>1</sup>, Rusch Oleg<sup>2</sup>, Min-Je Sung<sup>1</sup>, Han-Sol Ro<sup>1</sup>,  
 Juyoung Kwak<sup>1</sup>, Erlbacher Tobias<sup>2a</sup>, Bauer Anton<sup>2b</sup>, Hoon-Kyu Shin<sup>1c</sup>

<sup>1</sup>포항공과대학교 <sup>2</sup>Fraunhofer IISB

**Abstract:** Due to the rapid growth of the EV/HEV industry in recent years, the necessity of developing a device with a high breakdown voltage and a fast switching time has increased. For this reason, the MOSFETs (Metal-Oxide-Semiconductor Field Effect Transistors) using 4H-SiC with a high breakdown electric field and thermal conductivity are being widely investigated. The Trench MOSFETs could increase cell density and induce low on-resistance characteristics by eliminating the JFET region of Planar MOSFETs. During high drain-source voltage application, however, the electric field is concentrated in the trench corner region, causing reliability problem of the gate oxide layer.

To address the gate oxide failure, the double trench structure with both source and gate trenches was developed, namely, double trench MOSFETs [1-2]. Representatively, Rohm, which is one of the leading suppliers in SiC MOSFET discrete devices and modules, launched SiC-based double trench MOSFETs in 2018. Of course, with regard to cell design using simulation, many studies on double trench MOSFETs have been reported in Korea [3-4]. However, due to the high process difficulty, there are few reports on the fabrication process and electrical performance of double trench MOSFETs.

In this research, through international joint research with the Fraunhofer IISB institute in Germany, the double trench MOSFETs were manufactured on 6-inch SiC wafer and its electrical characteristics were evaluated for the nation's first. The structure of cell was designed by Sentaurus TCAD simulation with the goal of 1200V/20A operating. These MOSFETs showed a specific on-resistance of  $\sim 10 \text{ m}\Omega\text{cm}^2$  and breakdown voltage of  $\sim 1170 \text{ V}$  at room temperature. Additional simulation studies have revealed that the relatively high on-resistance is due to misalignment during the field oxide process.

**Keywords:** SiC, Trench, MOSFET, 6 inch, Batch Process

a. Corresponding Author ; Tobias.Erlbacher@iisb.fraunhofer.de

b. Corresponding Author ; Anton.Bauer@iisb.fraunhofer.de

c. Corresponding Author ; shinhk@postech.ac.kr

PB-20

## Ohmic Contact Formation at Low Temperature Using Ni-Based Metal Alloy on n-Type 4H-SiC

김성준, 강민재, 성민제, 한성웅, 노한솔, 곽주영, 이남석, 신훈규<sup>a</sup>

Seongjun Kim, Min-Jae Kang, Min-Je Sung, Sungwoong Han, Han-Sol Ro, Juyoung Kwak, Nam-Suk Lee, Hoon-Kyu Shin<sup>a</sup>

포항공과대학교

**Abstract:** Many technical challenges need to be overcome to improve the performance of 4H-SiC-based power devices. One of them is the reproducible formation of low resistance ohmic contacts. Nickel-based metallization, which has the lowest specific contact resistance ( $\rho_{sc}$ ), has been frequently used for this purpose. In this case, high temperature annealing in the range of 1000 - 1100 °C has been required to form a silicide at the contact interface [1]. However, the contact interfaces are suffering from the poor adhesion and thermal instability due to the precipitated carbon contaminations, which were generated during high temperature annealing process [2]. Furthermore, this process could also provoke the decomposition of interface passivation increasing the oxide/semiconductor interface state density [2]. Therefore, an ohmic contact process at low temperature or without annealing is required to mitigate the above effects.

**Keywords:** Ohmic, SiC, NiAl alloys, Annealing

a. Corresponding Author ; [shinhk@postech.ac.kr](mailto:shinhk@postech.ac.kr)

## 포스터 발표 논문 초록

PB-21

### Investigation of Redox Potential Change on 4H-SiC Surfaces in Various Treatment for Sensor Applications

김성준, 김동은, 성민제, 강민재, 신훈규, 한성웅<sup>a</sup>Seongjun Kim, Dong-Eun Kim, Min-Jae Sung, Min-Jae Kang, Hoon-Kyu Shin, Sung-Woong Han<sup>a</sup>

포항공과대학교

**Abstract:** Silicon carbide (SiC) is one of the most used semiconductor materials for building high-performance microelectronic devices because of its remarkable physicochemical stability, mechanical hardness, and the wide large band gap. In addition, the physical properties of SiC such as low friction coefficient, high wear resistance, and chemical inertness make this material attractive not only for micromechanical device but for biomedical extreme environment sensor. In this study, we evaluated covalent modification of 4H-SiC substrate and its surface functionalization.

4H-SiC substrates were prepared by thermal oxidation and pre-treated with H<sub>2</sub> gas for the surface functionalization. The oxidized surface was then treated with aminopropyltriethoxysilane in order to modify amino groups for the further modification of N-hydroxysuccinimide ester functionalized homobifunctional poly ethylene glycol. The samples were further treated with amyloid  $\beta$  (A $\beta$ ) peptide and anti-A $\beta$  antibody as the method of enzyme-linked immunosorbent assay.

We compared three kinds of samples which are control SiC substrate, thermal oxidized SiC substrate, and H<sub>2</sub> gas treated SiC substrate after thermal oxidation. Silicone, quartz crystal, and indium tin oxide surfaces were also treated with same manner for the comparison of surface modification. The cyclic voltammetry measurements were used to confirm and compare the functionalization of the SiC surface by the peak change of oxidation and reduction. The samples will be further evaluated X-ray photoelectron spectroscopy and transmission electron microscope.

**Keywords:** Silicon carbide, Extreme environment sensor, Surface functionalization, Cyclic voltammetry

a. Corresponding Author ; swhan@postech.ac.kr

PB-22

**SiC Double Trench MOSFET 공정을 위한 Gate 공정 최적화**이수진, 박일몽, 김성준, 성민제, 김동은, 한성웅, 강민재<sup>a</sup>, 신훈규<sup>b</sup>Sujin Lee, Ilmong Park, Seong-Jun Kim, Minje Sung, Dongeun Kim, Sung-Woong Han, Minjae Kang<sup>a</sup>, Hoon-Kyu Shin<sup>b</sup>

포항공과대학교

**Abstract:** SiC MOSFET은 Si MOSFET에 비해 드리프트층 저항은 낮으며 내압특성이 우수하기 때문에 전력 손실이 낮고, 높은 Breakdown Voltage 특성을 구현할 수 있어 전기자동차, 신재생에너지 등 전력변환시스템에 적용하기 위한 차세대 전력반도체 소자로서 부각되고 있다.[1] SiC MOSFET 중에서 Trench MOSFET은 Planar MOSFET에 비해 JFET 영역을 제거함으로써 On 저항을 획기적으로 낮출 수 있고 Chip 사이즈를 축소시킬 수 있어 Trench 구조의 채택이 주목받고 있다.[2] 일반적인 Trench MOSFET 구조에서는 Trench 하부에 전계가 집중되어 신뢰성에 문제가 발생할 수 있다. 이러한 문제를 해결하기 위해 최근 Trench 하부의 전계 집중을 완화시키는 Double Trench 구조의 MOSFET 소자 제작에 대한 연구가 진행되고 있다.

Double Trench 구조는 Gate 영역뿐만 아니라 Source 영역에 Trench 구조를 형성한다. 이때 Gate 형성을 위한 Poly Silicon filling 공정 후 Source 영역의 Poly Silicon을 제거하는 Poly Plug 공정이 필요하다. 그러나 Poly Plug 공정 중 전류 주입층(N+ SiC)이 식각됨으로 인해 소자의 온-저항이 증가하거나 심각한 경우, 소자 구동이 되지 않는 문제점이 있다. 본 연구에서는 Double Trench MOSFET 공정을 위한 Poly Silicon Filling 공정과 Etch-back 공정을 통한 Gate 형성 최적화 공정에 대해 연구하였다.

**Keywords:** Silicon Carbide, Trench MOSFET, Gate Poly

a. Corresponding Author ; ggang25@postech.ac.kr

b. Corresponding Author ; shinhk@postech.ac.kr

## 포스터 발표 논문 초록

PB-23

### 고내압 4H-SiC MOSFET에 적용되는 Field-ring 기술에 관한 고찰

김대희, 조창현, 강이구<sup>a</sup>

Deahee Kim, Changhyeon Jo, Ey Goo Kang<sup>a</sup>

극동대학교

**Abstract:** 전력반도체 분야는 전기자동차, 전자기기, 가전제품, 모터, 전력계통에 사용되는 중요한 반도체 소자로 최근에는 높은 내압과 전류를 다루는 방향으로 개발되어왔다. 실리콘 기반의 소자들은 낮은 온-저항과 높은 항복전압을 지지할 수 있는 방향으로 개발되어 왔으나 물질특성의 한계에 직면해 고전압, 저 손실 및 고속 스위칭 속도를 지원할 수 있는 새로운 물질을 기반으로 한 연구들이 진행되어 왔다. 일반적인 실리콘 전력반도체 소자는 물질특성상 고온에서 동작 시 소자가 가지는 전기적 특성이 떨어지는 특징을 보여 고온 환경에 적합한 화합물반도체의 필요성이 증대되며 실리콘에 비해 밴드 갭이 넓은 SiC 및 GaN 등의 연구가 활발히 진행되고 있다. SiC 전력반도체 소자는 기존 실리콘 기반 소자의 한계를 극복하며 고효율 에너지 사용을 위한 대안으로 떠오르고 있다. 전력반도체 소자는 여러 분야에서 높은 항복전압, 높은 전류가 흐를 수 있는 낮은 온-저항 및 고속 스위칭 특성이 요구되고 있으며 지속적인 연구, 개발을 통해 고전압 전력반도체 소자로서의 활용 가능성이 매우 높아지고 있다. 소자가 직접 고온에서 동작한다면, 높은 신뢰성을 갖는 정확한 측정 및 제어가 가능하며 소자의 소형화 및 경량화, 빠른 응답특성, 결과적으로 효율향상 등 여러 장점을 얻을 수 있다. 전력 반도체 소자의 중요한 파라미터는 항복전압 특성이다. 일반적으로 드리프트 층의 농도가 낮아지면 항복 전압은 증가하지만 온-저항 특성이 감소하는 트레이드오프(Trade-Off) 관계를 유지하므로 설계 시 항복전압을 높임과 동시에 온 저항은 낮게 설계하는 것이 좋다. 그러나 대부분의 전력 반도체 소자는 모서리 부분에 전계 집중이 발생하여 실제 공정에서 낮은 항복전압을 가지게 되므로 이를 접합 마감기술(Edge Termination)중을 적용하여 는 방법으로는 필드링(Field ring)을 들 수 있다. 따라서 본 논문에서는 접합 마감 기술인 필드링을 실바코 사의 TCAD툴을 사용하여 실험들을 통해 필드링이 포함된 항복전압과 내부 전계의 변화를 확인하여 1.2kV급의 SiC MOSFET의 최적의 구조를 시뮬레이션하고 항복 전압 및 고내압 향상에 대해 고찰하였다.

**Keywords:** 전력반도체, 항복전압, 전계집중, 접합마감기술(Edge Termination), 필드링(Field ring)

a. Corresponding Author ; ehhk1000@nate.com

PB-24

### 기반 물질 차이에 따른 SBD 구조의 특성 변화에 대한 고찰

최진혁, 강이구<sup>a</sup>, 조창현, 이건희, 안병섭

Jin Hyuk Choi, Ey Goo Kang<sup>a</sup>, Chang Hyeon Jo, Geon Hee Lee, Byoung Sub Ahn

극동대학교

**Abstract:** 전력반도체는 전기 에너지를 활용하기 위해 전력변환, 변압, 전력안정, 전력분배 및 제어 등을 수행하는데 사용되는 반도체로 시스템 안전성, 신뢰성을 제공하는 기능을 수행한다. 전력반도체 소재는 Si가 주로 사용되어왔지만 Si의 물성 특성상 더 이상의 성능향상에 한계가 있다. 제한된 물성 한계를 극복하기 위해 반도체 업계에서는 실리콘 보다 밴드 갭이 넓은 SiC (silicon carbide, 탄화규소), GaN (질화 갈륨) 등의 화합물 소재 기반의 와이드 밴드 갭 반도체 (wide band gap semiconductor)를 이용하여 전력반도체 소자에 적용하고 있다. SiC는 Si보다 약 3배 넓은 에너지 밴드 갭(Si-1.12eV, SiC-3.26eV), 약 10배 이상의 절연 파괴전계, 높은 전자 포화속도, 높은 강도와 열전도도를 가지고 있기 때문에 작은 소자 크기와 높은 항복전압을 가지면서 전력 변환 손실은 적고 열 방출 특성이 우수하여 전력반도체 소재로서 각광받고 있다. Schottky Barrier Diode(SBD)는 쇼트키 장벽에 의한 정류작용을 이용한 정류소자로서, 낮은 전압 강하와 매우 빠른 스위칭 전환이 고속 동작에 적합하며, 마이크로파 수신 혼합기, 고속 논리용 다이오드 등에 사용된다. 기존의 Si 기반의 SBD는 누설전류가 크고, 고온에서의 안전성이 낮으며, 최대 항복전압이 약 80V 정도로 제한되지만, SiC 기반의 SBD는 낮은 누설전류와 높은 항복전압, 고온에서의 높은 안전성을 실현시킬 수 있다. 본 논문은 Silvaco사의 TCAD 프로그램을 이용하여 동일한 크기를 갖는 Si와 4H-SiC기반을 갖는 SBD의 차이점을 알아보고자 시뮬레이션 후 항복전압, 누설전류, 온도에 따른 순방향 및 역방향 전기적 특성 비교를 진행하였다.

**Keywords:** SiC, Wide band gap semiconductor, Schottky Barrier Diode

a. Corresponding Author ; keg@kdu.ac.kr



## 포스터 발표 논문 초록

PB-25

### Annealing Dependent Electrical Characteristics of $(\text{Al}_x\text{Ga}_{1-x})_2\text{O}_3$ /4H-SiC Photodetectors

신명철, 이희재, 변동욱, 정승우, 구상모<sup>a</sup>

Myeong-Cheol Shin, Hee-Jae Lee, Dong-Wook Byun, Seung-Woo Jung, Sang-Mo Koo<sup>a</sup>

광운대학교

**Abstract:** Gallium oxide ( $\text{Ga}_2\text{O}_3$ ) has attracted great attention as ultra wide-bandgap and high performance photodetectors.  $\beta\text{-Ga}_2\text{O}_3$  is widely recognized as merit such as large high electric field ( $\sim 8\text{MV/cm}$ ), bandgap energy ( $\sim 4.8\text{ eV}$ ) and Baliga figure of merit (BFOM)  $\sim 3440$ . In consequence, these materials have good performance in rectifier devices.

Recently  $(\text{Al}_x\text{Ga}_{1-x})_2\text{O}_3$  has (AGO) been reported as an oxide semiconductor. Because that it would gain the absorption spectrum, benefit bandgap and, breakdown field. The AGO material has the advantages of photodetector of  $\text{Ga}_2\text{O}_3$  materials, wide bandgap and thermal conductivity of  $\text{Al}_2\text{O}_3$  materials.

The bandgap of  $(\text{Al}_x\text{Ga}_{1-x})_2\text{O}_3$  and the work function of the metal-semiconductor structure can be modulated by changing Al content and thermal annealing process.

In this work, we investigated the influence of post-annealing temperature on the properties of  $(\text{Al}_x\text{Ga}_{1-x})_2\text{O}_3$ /SiC hetero-junction photodetectors prepared by using radio frequency (RF) sputtering. AGO films were annealed at various temperature, in order to compare polymorphs of  $\text{Ga}_2\text{O}_3$ . Analysis of the properties of the AGO interface depending on the annealing temperature through X-ray photoelectron spectroscopy (XPS) and atomic force microscopy (AFM). AGO crystallization was analysis depending on the annealing temperature through X-ray diffraction (XRD). The electrical characteristics of the fabricated devices were analyzed at different measurement temperatures (I-V-T). The bandgap energies of AGO films increase with higher annealing temperature, indicating that bandgap engineering of AGO is a promising technology for detection range tunable (163~253 nm) DUV PDs.

**Keywords:**  $(\text{Al}_x\text{Ga}_{1-x})_2\text{O}_3$ , Silicon carbide, Wide-band gap, Aluminum gallium,  $\beta\text{-Ga}_2\text{O}_3$

a. Corresponding Author ; smkoo@kw.ac.kr

PB-26

## Static Characteristics of 3.3 kV 4H-SiC Super Junction MOSFETs

김동현<sup>1,2</sup>, 오종민<sup>1</sup>, 신원호<sup>1</sup>, 박철환<sup>1</sup>, 구상모<sup>1a</sup>

Dong-Hyeon Kim<sup>1,2</sup>, Jong-Min Oh<sup>1</sup>, Weon Ho Shin<sup>1</sup>, Chulhwan Park<sup>1</sup>, Sang-Mo Koo<sup>1a</sup>

<sup>1</sup>광운대학교 <sup>2</sup>Fraunhofer IISB

**Abstract:**High power electronics have been extensively studied and developed for various applications including power and energy systems and motor controls, and hybrid and electric vehicles. For this reason, silicon-carbide (SiC) device started to be studied for the next generation power device because SiC has a wide bandgap of about 3 times ( $\sim 3.26$  eV) compared to silicon (Si). It also has characteristics such as 9 times higher critical electric field ( $\sim 3$  MV/cm). These characteristics are appropriate for power semiconductor devices, which require high breakdown voltage, low leakage current, and high on-state current.

However, in the case of SiC planar MOSFET devices, the performance can be degraded due to low channel mobility due to high on-resistance characteristics. The trench gate MOSFET without JFET region and may be a promising solution to reduce the on-resistance by reducing the cell size and increasing the channel density. However, at a high-voltage off-state, the electric field is concentrated at the bottom of the trench or at the gate oxide edge of the trench gate region of the device, which may cause gate oxide destruction and consequently lower the reliability. In SiC Power MOSFETs, in order to reduce the on-resistance, the drift region or the gate structure have been optimized. However, it has the limitation of the trade-off relationship between on-resistance and breakdown voltage.

In this study, 3.3 kV of super-junction MOSFET (SJMOSFET) structure with improved electrical characteristic was proposed. Through TCAD simulation, static characteristics of proposed structure was analyzed for optimizing the doping concentration of p-pillar and thickness and doping concentration of epi bottom region. Calculated specific on-resistance can be minimized to  $1.86$  m $\Omega$ ·cm<sup>2</sup> which is 86% lower than that of reference trench MOSFET device with 84% improved FOM values, while maintaining similar breakdown voltage levels.

**Keywords:**Silicon carbide, Power semiconductor, Superjunction

a. Corresponding Author ; smkoo@kw.ac.kr

## 포스터 발표 논문 초록

PB-27

### Bandgap Engineering in $(\text{Al}_x\text{Ga}_{1-x})_2\text{O}_3$ /4H-SiC Heterostructures

이희재, 신명철, 구상모<sup>a</sup>

Hee-Jae Lee, Myeong-Cheol Shin, Sang-Mo Koo<sup>a</sup>

광운대학교

**Abstract:** Ultra-wide-bandgap (UWBG) semiconductor is a promising candidate for next-generation power electronics due to its high breakdown field, possibility of doping, and thermal stability. Amongst the UWBG materials, monoclinic beta gallium oxide ( $\beta\text{-Ga}_2\text{O}_3$ ) has become attracting focused interest. Due to its wide-bandgap ( $\sim 4.9$  eV),  $\beta\text{-Ga}_2\text{O}_3$  is recognized as the material which has availability for high-performance deep-ultraviolet (DUV) solar-blind photodetectors (PDs), transparent electronics, and power electronics.

However, because of its relatively lower thermal conductivity ( $\sim 0.13$  W/cmK),  $\beta\text{-Ga}_2\text{O}_3$  suffers from self-heating effects which generate deteriorations in devices. The poor thermal conductivity of  $\beta\text{-Ga}_2\text{O}_3$  can be compensated by employing high thermal conductivity materials such as 4H silicon carbide (4H-SiC,  $\sim 3.7$  W/cmK). Also, defects during the heterojunction film growths may be minimized due to the low lattice mismatch ( $\sim 2\%$ ) between  $\beta\text{-Ga}_2\text{O}_3$  ( $a = 12.23$  Å,  $b = 3.04$  Å) and 4H-SiC ( $a = b = 3.07$  Å).

In order to enhance the reverse breakdown voltage, an enlarged bandgap is significantly essential for  $\beta\text{-Ga}_2\text{O}_3$  material. Aluminum is a promising candidate for tuning the bandgap of  $\beta\text{-Ga}_2\text{O}_3$  by alloying the Al and Ga. The extended bandgap of beta aluminum gallium oxide ( $\beta\text{-(Al}_x\text{Ga}_{1-x})_2\text{O}_3$ ) is also considered to be applied to DUV PDs with shorter-wavelength light. In this work, the AGO films grown on 4H-SiC with different Al/Ga ratios have been investigated. The change in atomic bonding among Al, Ga, and O were estimated by x-ray photoelectron spectroscopy (XPS). The influence of Al ratios on crystallization in AGO films was investigated by x-ray diffraction (XRD). Furthermore, the variation of bandgap energies was specified by the transmittance and the energy loss spectra of O 1s peaks in XPS. The bandgap energies of AGO films increase continuously with higher Al content, indicating that bandgap engineering of AGO is a promising for DUV PD applications.

**Keywords:** Aluminum gallium oxide, Silicon carbide, Bandgap engineering, Wide bandgap, Heterojunction

a. Corresponding Author ; smkoo@kw.ac.kr

PB-28

## Optimization of Switching Characteristics of 4.5 kV-Class 4H-SiC Super Junction MOSFET Devices

정승우, 신명철, 마이클 A. 슈바이츠, 구상모<sup>a</sup>

Seung-Woo Jung, Myeong-Cheol Shin, Michael A. Schweitz, Sang-Mo Koo<sup>a</sup>

광운대학교

**Abstract:** Wide bandgap materials of silicon carbide (SiC) were present superior characteristics in high breakdown voltage devices for inverter, rail transport and electric vehicles. SiC power MOSFETs achieved lower on-resistance and higher breakdown voltage than Si. Furthermore SiC devices with same breakdown voltage as Si have a ten times lower size. Also, advantages of SiC devices can operate from various environments like high temperature condition, aerospace.

The increased breakdown voltage of SJMOSFETs results from the deep P-pillar creating an extended electrical field with a lower peak value for the same reverse voltage. Also, specific on-resistance was decreased due to the change in epi doping concentration.

In this paper, we show improved electric characteristics and switching characteristics in SJMOSFET structures. SJMOSFET includes a P-pillar in DMOSFET structure. Calculated specific on-resistance can be minimized while maintaining the same breakdown voltage levels. The switching characteristics of different devices were compared by using mixed-mode device/circuit simulation's.

**Keywords:** 4H-SiC, Superjunction MOSFET, Simulation, SJ MOSFET

a. Corresponding Author ; [smkoo@kw.ac.kr](mailto:smkoo@kw.ac.kr)

## 포스터 발표 논문 초록

PB-29

### 내장형 커패시터로 응용하기 위해 상온 분말 분사 공정으로 제작된 BaTiO<sub>3</sub>/Cu 복합체 필름의 Cu 분말 입자 크기에 따른 유전 및 전기적 특성 분석

전좌빈, 김익수, 현다운, 구상모, 오종민<sup>a</sup>

[Jwa-Bin Jeon](#), [Ik-Soo Kim](#), [Da-Eun Hyun](#), [Sang-Mo Koo](#), [Jong-Min Oh](#)<sup>a</sup>

*광운대학교*

**Abstract:** 최근 4차산업의 발전, 스마트 폰, 무선 이어폰 등의 전자기기 시장이 확대됨에 따라 전자제품에 적용되는 모든 부품들이 소형, 경량, 고용량화와 같은 성능향상이 요구되고 있다. 이러한 전자제품에 적용되는 고용량화 전자 소자로 내장형 커패시터에 대한 연구가 활발히 진행되어 오고 있다. 커패시터의 주요 물질로는 고유전율 세라믹 재료가 사용되고 있지만, 단일 물질의 한계와 제조 시 열처리 공정이나 용매 사용으로 인한 환경 문제 등 여러 단점을 가지고 있다. 본 연구에서는 제조 공정에 있어 열처리 공정 없이 상온에서 고속으로 복합체 필름 코팅이 가능하다는 큰 이점을 가진 Aerosol Deposition (AD) 공정을 응용하였다. 본 연구에서는 BT/Cu 복합체 필름의 정전용량 밀도의 향상을 위해 입자 크기 효과를 이용하여 1, 2.5, 5 μm의 다양한 Cu 입자 크기에 따른 BT/Cu 복합체의 유전 및 전기적 특성을 측정하였으며, 미세구조 및 누설전류특성 등의 복합적인 정보를 통해 Percolation 이론을 기반으로 입자 크기별 최적 Cu 혼합비와 유전 특성 및 전기적 특성을 비교 분석하였다.

**Keywords:** 내장형 커패시터, 에어로졸 데포지션(Aerosol Deposition), 입자 크기 효과, 유전 상수, 정전용량밀도

a. Corresponding Author ; [jmoh@kw.ac.kr](mailto:jmoh@kw.ac.kr)

PB-30

### 유한요소법을 이용한 SiC 쇼트키 베리어 다이오드의 단자 강도 시험

최나연<sup>1</sup>, 유운용<sup>2</sup>, 김진우<sup>2</sup>, 김권제<sup>2</sup>, 장성욱<sup>1a</sup>

[Na-Yeon Choi](#)<sup>1</sup>, [Unyong You](#)<sup>2</sup>, [Jinwoo Kim](#)<sup>2</sup>, [Gyunje Kim](#)<sup>2</sup>, [Sung-Uk Zhang](#)<sup>1a</sup>

<sup>1</sup>동의대학교 <sup>2</sup>아이큐랩

**Abstract:** 우주용 전장 부품에 대한 신뢰성을 검증하기 위해서는 MIL-STD-750E 군사 표준을 통과하는 것이 중요하다. MIL-STD-750E 규격은 미국 국방부가 제시한 반도체 소자에 대한 검증 방법에 대한 표준 규격이다. MIL-STD-750E에서 여러가지 시험 방법을 제시하는데 그 중 하나인 MIL-STD-750E의 Method 2036는 단자 강도 시험에 대한 내용으로 단자 부분의 가해지는 물리적인 힘에 대한 영향을 알기 위한 강도 실험이다. 이 시험 안에서는 인장시험, 비틀림시험, 토크시험, 스텐드 토크 시험, 피로시험, 굽힘 응력 시험 총 6개의 시험을 제시하고 있다. 본 연구는 유한요소법을 이용하여 패키지 설계 단계에서 SiC 쇼트키 베리어 다이오드에 대한 단자 강도 시험을 예측하는 하고자 한다. SiC 쇼트키 베리어 다이오드에 사용되는 Chip, Leadframe, EMC, Die bonding material, Wire에 대한 재료별 항복 응력을 기준으로 유한요소법을 통하여 계산된 응력을 통하여 안전계수를 계산한다. 단자에 가해지는 강도와 각 재료와의 안전계수를 계산하여 SiC 쇼트키 베리어 다이오드에 가할 수 있는 최대 단자 강도를 예측할 수 있음을 보여준다.

**Keywords:** 유한요소법, 패키지, 쇼트키 베리어 다이오드, 단자 강도, 신뢰성

a. Corresponding Author ; [zsunguk@deu.ac.kr](mailto:zsunguk@deu.ac.kr)

PB-31

## A Study on Package of Full SiC Power Module

장창리<sup>1</sup>, 장함<sup>2,3</sup>, 서령<sup>4</sup>, 김남균<sup>5a</sup>, 방욱<sup>5b</sup>

Chang Li Zhang<sup>1</sup>, Han Zhang<sup>2,3</sup>, Ling Xu<sup>4</sup>, Namkyun Kim<sup>5a</sup>, Wook Bahng<sup>5b</sup>

<sup>1</sup>Shenzhen HuaSemi Electronics Co Ltd <sup>2</sup>Vistar Semi Semiconductor Co. Ltd.

<sup>3</sup>Soho International Limited <sup>4</sup>Fudan University <sup>5</sup>한국전기연구원

**Abstract:** We have developed the novel package structure for full SiC power module. The full SiC power module includes the dies of SiC-based MOSFETs and SBD diode the Si<sub>3</sub>N<sub>4</sub> ceramic-based AMB (active metal brazing) base plate, and the AlSiC heating-sink substrate attached in the bottom. This paper focus on the study of thermal performance as well as the thermal cycling reliability of full SiC power module in order to meet up with the very long-term reliability requirements for electric vehicle (EV) applications. The thermal performance of such SiC-based full SiC power module during operation compared to typical traditional Si-based IGBT module (IGBT packages includes the dies of Si-based IGBT/FRD, AlN ceramic DBC, and thicker Copper substrate as heat-sinking) has been studied by the approach of finite element method. The typical temperature distribution of modules during the operation has been presented. It can be seen that the thermal performance of full SiC power module package has been improved a lot. Finally, both the experimental and simulated reliability results of temperature cycles swung from -50°C to +150°C have been discussed to reveal the temperature cycles can be reached 3,000 cycles or up. This paper proposes the novel package technologies for applied the highest bending strength (800 MPa) of Si<sub>3</sub>N<sub>4</sub> ceramic -based AMB base plate together with thicker AlSiC substrates to replace of copper substarte using in the IGBT module. The fatigue testing shows there is no any crack or delamination for metioned in the SiC dies or in the surface of Si<sub>3</sub>N<sub>4</sub> AMB base plate or in the AlSiC subtraste board. The temperature cycling test results also show that no failure after 3,000 thermal cycles testing, which reveal the higher reliability advantage compared with traditional Si-based IGBT package. This novel full SiC module package technologies has tested in the rating current 200 A, voltage 1,200 V for half-bridge power module of full SiC MOSFETs & SiC SBD developed in China.

**Keywords:** Full SiC power module, Si IGBT module package, Temperature cycling test, Ceramic-based DBC (direct bonding copper), Si<sub>3</sub>N<sub>4</sub> ceramic based AMB (active metal brazing) Board

a. Corresponding Author ; nkkim@keri.re.kr

b. Corresponding Author ; bahng@keri.re.kr

## 포스터 발표 논문 초록

PB-32

### 고온 및 높은 게이트 전압에서 4H-SiC MOSFET의 열화특성 분석

강인호<sup>a</sup>, 문정현, 나문경, 김형우, 서재화, 방 옥, 김남균

In Ho Kang<sup>a</sup>, Jeong Hyun Moon, Moon Kyong Na, Hyoung Woo Kim, Jae Hwa Seo, Wook Bahng, Nam Kyun Kim

한국전기연구원

Korea Electrotechnology Research Institute(KERI)

**Abstract:**본 연구에서는 4H-SiC MOSFET의 가속 열화특성을 관찰하기 위해 고온(225°C) 분위기에서 높은 게이트 전압(42~46V)을 인가한 상태에서 4H-SiC MOSFET의 전기적특성을 장기간 관찰하였다. 정확한 분석을 위해 일정 시간 간격마다 다양한 전기적특성(전달곡선, 게이트 누설전류 곡선, 전압-캐패시턴스 곡선 등)을 측정하였다. 또한 다양한 전기적인 특성을 측정하기 위해 키사이트사의 B1506A, 게이트 전압 인가용 정밀 파워서플라이, 고온챔버와 스위치 매트릭스를 이용하고 다양한 제어회로를 설계하였으며 이들을 통합 제어하며 데이터를 처리할 수 있는 하드웨어 및 소프트웨어를 개발하였다.

측정결과에 의하면 실온 및 고온에서 4H-SiC MOSFET의 전기적 특성에서 특이한 거동이 발견되었다. 그림1은 실온과 고온에서의 게이트 누설전류특성과 유지시간에 대한 누설전류특성을 비교한 것이다. 챔버의 온도가 225°C에 도달한 즉시 측정된 누설전류는 게이트 전압이 20V 이상 ( $V_G \geq 20V$ )에서 실온보다 약 100배 이상 증가하였다. 그러나 대략 16.7 시간 뒤에는 실온에서 측정된 값과 유사한 수준으로 감소하였고 특이하게  $V_G > 35V$ 에서 게이트 누설전류도 감소하였다. 그림2는 동일 조건에서 측정된 게이트 캐패시턴스 특성을 보여준다. 게이트 누설전류 특성과 유사하게 그림2에서도 장기간 고온 및 높은 게이트 전압에서 동작한 경우,  $V_G < 0V$ 에서 시간에 대한 캐피시턴스의 의존성이 발견되었다.

자세한 실험내용과 고찰 및 해석은 이후에 소개할 예정이다.

**Keywords:**4H-SiC, MOSFET, HTGB, 신뢰성

a. Corresponding Author ; [ihkang@keri.re.kr](mailto:ihkang@keri.re.kr)

PB-33

## Ag coated Cu분말을 이용한 소결접합용 페이스트 개발 Research of Sintering Paste Using Ag Coated Cu Powder

원미소, 오철민<sup>a</sup>, 김다정, 김태훈, 양현승Miso Won, Chulmin Oh<sup>a</sup>, Dajung Kim, Taehun Kim, Hyunseung Yang

한국전자기술연구원

**Abstract:** 최근 Si 기반의 반도체를 대신하여 높은 내압특성과 낮은 온저항 특성을 가진 SiC와 GaN와 같은 차세대 반도체 소재가 각광받고 있다. 차세대 전력반도체의 연구와 함께 반도체 소자를 금속 기판이나 세라믹 기판에 접합할 때 사용하는 접합소재에 대한 연구 또한 각광받고 있는데, 기존 고온 솔더를 대신할 수 있으며, 우수한 전기전도성, 열전도성을 가지고 있는 접합소재에 대한 연구가 진행되고 있다. 소결 접합은 기존의 고온 솔더와 비슷한 공정온도에서 접합이 가능하면서 고온 신뢰성을 동시에 확보할 수 있는 기술로써, Ag 분말을 이용한 소결접합이 각광받고 있지만 소재 가격에 대한 부담이 있다. Cu paste는 Ag에 비해 가격은 낮지만 비교적 높은 공정온도 및 낮은 접합강도와 Cu 산화의 문제점을 가지고 있다. 이에 두 소재의 장점을 모두 가진 Ag coated Cu 분말을 사용하여 높은 접합강도를 갖는 소결접합용 paste 연구가 각광을 받고 있다.

본 연구에서는 Ag coated Cu분말을 사용하여 페이스트를 합성하는데, Ag coated Cu분말의 크기, binder, 그리고 첨가제의 따른 페이스트의 특성을 알아보았다. Cu@Ag paste의 물성을 평가하기 위하여 4-point 측정법을 이용하여 전기적 특성을 측정하였으며, laser flash법을 이용하여 열적 특성을 측정하였다. 접합 특성을 평가하기 위해 Cu DBC (Direct Bonded Copper) 기판과 dummy Si chip을 사용하여 질소 분위기에서 무가압으로 접합공정을 진행하였다. X-ray를 통해 접합부 보이드를 관찰하였고, 주사전자현미경(SEM, Scanning Electron Microscope)을 이용하여 접합부 미세조직을 관찰하였다. 그리고, 전단시험기를 사용하여 Cu@Ag paste로 접합된 Si chip 접합강도를 측정하였다.

**Keywords:** Power modules, Die attach, Ag coated Cu, Sintering

a. Corresponding Author ; cmoh@keti.re.kr