



## Optimizatized Design for 1700V 4H-SiC Power DMOSFETs

김동현, 민성지, 이대석, 오종민, 구상모<sup>a</sup>

Dong Hyeon Kim, Seong-Ji Min, Dae-Seok Lee, Jong-Min Oh, Sang-Mo Koo<sup>a</sup>

광운대학교

### Abstract:

4H-SiC(탄화규소)는 에너지 밴드갭이 넓고 낮은 진성 캐리어 농도를 가진 반도체 재료로서 현재 많이 사용중인 Si와 비교하여 10배이상의 절연파괴강도와 3배이상의 열전도도 그리고 3배정도의 포화드리프트 속도로 동작함에 따라 SiC 디바이스로 높은 전력밀도와 효율을 달성할 수 있다. 또 SiC 웨이퍼 품질이 대대적으로 향상되고 디바이스 기술이 발전되면서 RF 기기, 전기자동차(EV)용 전력소자, 항공우주분야 등의 혹독한 환경에서의 동작이 가능한 촉망받는 재료이다.

4H-SiC의 이러한 우수한 특성을 이용하여 고내압 PN 접합다이오드, 금속-반도체 접합 전계효과 트랜지스터(MESFET), 전력 금속-산화막 반도체 전계효과 트랜지스터(MOSFET) 등이 개발되어 사용되고 있다.

DMOSFET의 JFET 영역의 길이( $L_{JFET}$ )와 도핑농도( $N_{JFET}$ )가 항복전압( $V_B$ )에 미치는 영향을 알아보기 위해,  $L_{JFET}$ 과  $N_{JFET}$ , 에피층의 두께( $T_{EP}$ )에 변화를 주어  $V_B$ 와 온-저항( $R_{ON,sp}$ )의 전기적 특성을 분석했다. 또한 p-well의 두께( $T_{p-well}$ )와 도핑농도( $N_{p-well}$ )를 변화시키면서 특성 변화를 분석하였다.

$L_{JFET}$ 이  $2.1\mu m$ 에서  $2.9\mu m$ 로 증가함에 따라  $R_{ON,sp}$ 는 감소하였고  $V_B$ 의 값은 크게 바뀌지 않았다.

또한  $N_{JFET}$ 을  $5 \times 10^{14} cm^{-3}$ 부터  $5 \times 10^{16} cm^{-3}$ 로 증가함에 따라  $R_{ON,sp}$ 가 감소하였고  $T_{p-well}$ 과  $N_{p-well}$ 를 증가함에 따라  $V_B$ 는 증가했다. 이는  $N_{JFET}$ 의 값이 줄어들수록 JFET 영역에 발생하는 전계가 4H-SiC의 임계 전계까지 증가하기 때문이다. 또한  $N_{p-well}$ 의 농도가 낮을 때에는 순방향 특성이 향상되고 농도가 높으면 펀치-스루 현상이 일어나는 것을 막아준다.

본 연구에서는 4H-SiC DMOSFET의 소자 성능의 최적화하기 위해 2차원 시뮬레이션을 통해  $L_{JFET}$ ,  $N_{JFET}$ ,  $T_{EP}$ ,  $T_{p-well}$ ,  $N_{p-well}$ 이 변함에 따라 소자의  $V_B$ 와  $R_{ON,sp}$ 의 특성이 변화하는 것을 확인하였다. 각각의 파라미터들을 변화시키면서 소자 성능 지수인 Baliga's figure of merit (BFOM)을 사용하여 최적화된 구조를 도출할 수 있었다. 이러한 결과는 앞으로 전력반도체 소자인 4H-SiC DMOSFETs의 설계에 충분히 활용할 수 있을 것으로 판단된다.

### Keywords

4H-SiC, Optimization, MOSFET

### a. 교신저자 이메일

smkoo@kw.ac.kr