



2019 SiC 반도체 컨퍼런스

P-26

게이트 전압 클램핑을 이용한 SiC MOSFETs 단락보호회로 구현 연구

이승직¹, 김기현^{2a}
Seung Jik Lee¹, Ki Huyn Kim^{2a}

¹한국전기연구원(부산대학교)

²한국전기연구원

Abstract:

SiC MOSFET은 Si MOSFET에 비해 Breakdown voltage가 10배 이상 높고, 손실이 1/100로 낮으며 3배 높은 고온에서 동작이 가능하다. 이러한 특징으로 전기자동차의 인버터, 컨버터 및 신재생 에너지 전력변환 시스템으로의 적용 연구가 많이 이루어지고 있다. SiC MOSFET은 많은 장점을 가지고 있지만 단위 면적당 전력 밀도가 높기 때문에 단락에 대한 면적 시간이 짧은 단점을 가지고 있으며, 면적 시간이 짧기 때문에 보호회로 구현에 어려움이 있다.

단락 보호회로는 단락 검출회로와 스위치 소자 차단회로로 구분된다. 일반적인 단락 검출회로는 고전압 다이오드와 커패시터로 구성되는 불포화 검출(Desaturation detection) 방법으로 구현된다. 본 논문에서는 불포화 검출회로와 클램핑 회로를 이용하여 단락 보호회로를 구현하였으며, 실험을 통하여 검증하였다.

고전압 다이오드(GB01SLT12)와 5pF 커패시터를 이용하여 검출회로를 구현하였으며, 클램핑 회로는 검출회로 출력신호, 12V 제너다이오드(D02Cz8)와 n-MOSFET(MCH3468)으로 구성하여 특성 테스트 실험을 진행하였다. 클램핑 회로의 온 유지시간은 200ns로 설정하였다. 제안한 보호회로의 특성테스트는 1200V 40A SiC MOSFET(SCT2080KE)와 400V 드레인 전압 입력 조건에서 진행하였다. 제안한 보호회로는 440ns 후 단락을 검출 하였으며, 200ns 동안 클램핑 회로를 이용하여 게이트 전압을 12V로 감압하면서 과도하게 흐르던 드레인 전류를 68A에서 46A로 낮춘 후 단락 상태의 스위치 소자를 안전하게 턴-오프 할 수 있음을 확인하였다. 단락 보호회로가 없을 경우 단락 상태의 SiC MOSFET은 최대 131A까지 도통 전류가 상승하였으며, 이후 패키지 내부 온도 상승으로 도통 전류가 감소하는 경향을 보였다.

본 논문에서 제안한 클램핑 회로와 불포화 검출 회로를 이용한 단락 보호회로를 적용한 단락 테스트 결과 4us 이내에 SiC MOSFET을 보호할 수 있음을 확인하였으며, 클램핑 회로가 적용되지 않은 보호회로에 비해, 스위치 차단 시 도통 전류를 1/2배 가량 낮춤으로써, VDS전압의 overshoot과 파워 스위치 스트레스를 줄일 수 있음을 확인하였다.

Keywords

SiC MOSFET, 단락보호회로, Desaturation, overshoot 저감

a. 교신저자 이메일

kihyun@keri.re.kr