



2019 SiC 반도체 컨퍼런스

P-20

SiO₂/4H-SiC Metal Oxide Semiconductor Using Atomic Layer Deposition

김대현¹, 박태주¹, 하민오^{2a}

Dae Hyun Kim¹, Tae Joo Park¹, Min-Woo Ha^{2a}

¹한양대학교

²명지대학교

Abstract:

원자층 증착법은 열 산화법보다 성장 온도를 낮출 수 있고 다른 결정방향의 4H-SiC에서도 균일한 박막 성장이 가능하므로 4H-SiC MOSFET 제작공정으로 유망하다. 본 연구의 목적은 hollow cathode plasma 원자층 증착법을 이용하여 n-type 4H-SiC 기판 위 SiO₂ 게이트 절연막을 성장하였으며, SiO₂/4H-SiC MOS 커패시터를 제작하여 전기적 특성을 연구하였다. TEM 이미지에서 추출된 SiO₂ 두께와 축적 커패시턴스를 이용하여 추출한 CET는 각각 19.5 nm와 20.8 nm로 유사함을 확인하였다. 마지막으로 제작된 SiO₂/4H-SiC MOS 커패시터의 C-V를 측정하였고 유효 절연막 전하 밀도(Q_{eff})를 추출하였다. 두 가지 방법을 이용하여 Q_{eff} 추출하였다. 첫 번째 방법은 1/C²-V_g 특성을 이용하여 x축 절편과 축적 커패시턴스를 이용하여 Q_{eff}를 추출하는 것이다. 1/C²-V_g 특성의 x축 절편과 축적 커패시턴스는 각각 4.237 V와 1.662 × 10⁻⁷ F/cm²이었으며 최종적으로 추출한 Q_{eff}는 -3.749 × 10¹² /cm²이었다. 두 번째 방법은 1/C²-V_g 특성의 기울기를 이용하여 N- 4H-SiC의 도핑농도의 측정값을 추출하였고, 그 이후 Debye length, 반도체 평탄대 커패시턴스(C_{FBS}), 평탄대 커패시턴스(C_{FB})를 차례로 추출하여 측정 평탄대 전압(V_{FB})를 구하고 이를 이용하여 Q_{eff}를 구하는 것이다. N- 4H-SiC의 도핑농도는 2 × 10¹⁵ cm⁻³ 스펙 값에 비하여 2.147 × 10¹⁵ cm⁻³로 유사한 값이 측정되었다. 두 번째 방법을 이용한 측정 V_{FB}와 Q_{eff}는 각각 4.510 V와 -4.032 × 10¹² /cm²이었다. 두 방법을 이용한 Q_{eff}의 차이는 -2.835 × 10¹¹ /cm²로 적었으며, Q_{eff} 도출 과정에서 두 방법을 모두 이용하면 상호 보완적이다. 제작된 SiO₂/4H-SiC MOS 커패시터의 Q_{eff}는 기존 문헌의 값보다는 큰 문제를 가지고, 이를 보완하기 위한 인터페이스 최적화 연구가 수행 중이고 SiO₂/4H-SiC MOS의 누설전류의 분석 결과를 논할 것이다.

본 연구는 한국전력공사의 2018년 착수 에너지 거점대학 클러스터 사업(과제번호: R18XA01)과 과학기술정보통신부의 재원으로 한국연구재단(과제번호: 2017R1C1B5016033)에 의해 지원되었음.

Keywords

4H-SiC, SiO₂, 평탄대 전압, 원자층 증착법, 유효 절연막 전하 밀도

a. 교신저자 이메일

isobar@mju.ac.kr